

cenidet

**Centro Nacional de Investigación y Desarrollo Tecnológico
Departamento de Ingeniería Electrónica**

TESIS DOCTORAL

**Desarrollo e Implementación de un Sistema de Inversor-Motor
Tolerante a Fallas Basado en la Medición de la Señal de
Compuerta del IGBT**

presentada por

Marco Antonio Rodríguez Blanco

M. en C. en Ingeniería Electrónica por el *cenidet*

como requisito para la obtención del grado de:
Doctor en Ciencias en Ingeniería Electrónica

Director de tesis:

Dr. Abraham Claudio Sánchez

Co-Director de tesis:

Dr. Didier Theilliol



cenidet

**Centro Nacional de Investigación y Desarrollo Tecnológico
Departamento de Electrónica**

TESIS DOCTORAL

Desarrollo e Implementación de un Sistema Inversor-Motor Tolerante a Fallas Basado en la Medición de la Señal de Compuerta de IGBT

presentada por

Marco Antonio Rodríguez Blanco

M. en C. en Ingeniería Electrónica por el *cenidet*

como requisito para la obtención del grado de:
Doctor en Ciencias en Ingeniería Electrónica

Director de tesis:

Dr. Abraham Claudio Sánchez

Co-Director de tesis:

Dr. Didier Theilliol

Jurado:



Dr. Jaime Eugenio Arau Roffiel – Presidente



Dr. Carlos Aguilar Castillo – Vocal



Dr. Rubén Garrido Moctezuma – Vocal



Dr. Marco Antonio Oliver Salazar – Secretario



Dr. Manuel Adam Medina – Vocal



Dr. Abraham Claudio Sánchez – Vocal Suplente

SUBSECRETARÍA DE EDUCACIÓN SUPERIOR
DIRECCIÓN GENERAL DE EDUCACIÓN SUPERIOR TECNOLÓGICA
CENTRO NACIONAL DE INVESTIGACIÓN Y DESARROLLO
TECNOLÓGICO


ACEPTACIÓN DEL TRABAJO DE TESIS DOCTORAL

Cuernavaca, Morelos a 25 de febrero 2010

Dr. Gerardo Vicente Guerrero Ramírez
Jefe del Depto. de Ingeniería Electrónica
Presente

Los abajo firmantes, miembros del Comité Tutorial de la Tesis Doctoral del alumno Marco Antonio Rodríguez Blanco, manifiestan que después de haber revisado su trabajo de tesis doctoral titulado "Desarrollo e Implementación de un Sistema Inversor-Motor Tolerante a Fallas Basado en la Medición de la Señal de Compuerta de IGBT", realizado bajo la dirección del Dr. Abraham Claudio Sánchez y Co-dirección del Dr. Didier Theilliol, el trabajo se ACEPTA para proceder a su impresión.

ATENTAMENTE


Dr. Marco Antonio Oliver Salazar
CENIDET.


Dr. Carlos Aguilar Castillo
CENIDET


Dr. Manuel Adam Medina
CENIDET

Dr. Didier Theilliol
Université Henry Poincaré Nancy- CRAN CNRS
UMR7039
France

L.I. Guadalupe Garrido Rivera / Jefe de Servicios Escolares
c.c.p.: Dr. Gerardo Reyes Salgado / Subdirector Académico
c.c.p.: Expediente


Dr. Jaime Eugenio Arau Roffiel
CENIDET.


Dr. Abraham Claudio Sánchez
CENIDET


Dr. Rubén Alejandro Garrido Moctezuma
CINVESTAV

cenidet
Centro Nacional de Investigación y
Desarrollo Tecnológico



SUBSECRETARÍA DE EDUCACIÓN SUPERIOR
DIRECCIÓN GENERAL DE EDUCACIÓN SUPERIOR TECNOLÓGICA
CENTRO NACIONAL DE INVESTIGACIÓN Y DESARROLLO
TECNOLÓGICO

SECRETARÍA DE
EDUCACIÓN PÚBLICA

SEP

ESC\FORDOC010

Cuernavaca, Morelos, a 25 de febrero 2010

M.C. Marco Antonio Rodríguez Blanco
Candidato a grado de Doctorado
en Ciencias en Ingeniería Electrónica
P r e s e n t e

Después de haber sometido a revisión su trabajo final de tesis titulado "Desarrollo e Implementación de un Sistema Inversor-Motor Tolerante a Fallas Basado en la Medición de la Señal de Compuerta de IGBT", y habiendo cumplido con todas las indicaciones que el jurado revisor de tesis le hizo, le comunico que se le concede autorización para que proceda a la impresión de la misma, como requisito para la obtención del grado.

Reciba un cordial saludo.

ATENTAMENTE

Dr. Gerardo Vicente Guerrero Ramírez
Jefe del Depto. de Ingeniería Electrónica

L.I. Guadalupe Garrido Rivera / Jefe de Servicios Escolares
c.c.p.: Expediente.

Abstract

In this thesis work, two novel failure detection techniques in IGBTs and a study to define the most suitable time for replacement the damaged element in a fault tolerant system applied to the three phase induction motor drive is presented. With respect to failure detection techniques, the first one is based on the measurement of collector to emitter voltage V_{CE} and gate to emitter voltage V_{GE} at steady state and the second detection technique is based on the measurement only of gate to emitter voltage V_{GE} at transient period during turn-on. The second failure detection technique allows to obtain a very short detection time, which is ideal to avoid the fault propagation and to tolerant failures in systems with high dynamic, such as three phase induction motor drive. With respect to tolerant system, the motor drive reconfiguration is based on the turn-on of bidirectional switches and the blown fuse in order to isolate electrically and to replace the damaged element. Finally, the experimental and simulations test are presented in order to validate the fault detection technique and the replacement of the damaged element in the most suitable time.

Resumen

En este trabajo de tesis se presenta dos técnicas novedosas de detección de averías en IGBTs y un estudio para definir el tiempo más adecuado del reemplazo del elemento dañado en un sistema tolerante a fallas para un inversor conectado a un motor de inducción. Con respecto a las técnicas de detección de averías; una se basa en la medición de los voltajes de colector a emisor V_{CE} y compuerta a emisor V_{GE} en estado estable y la otra técnica se basa solo en la medición del voltaje compuerta a emisor V_{GE} durante el estado transitorio. Esta última técnica permite obtener tiempos de detección muy cortos, lo cual es ideal para evitar la propagación de la falla y tolerar averías en sistemas con dinámicas altas, como es el caso del sistema inversor-motor. Con respecto al sistema tolerante, la reconfiguración del inversor se basa en la activación de interruptores bi-direccionales y la operación de fusibles para aislar eléctricamente y reemplazar al elemento dañado. Finalmente, se presentan los resultados de simulación y experimentales para validar la técnica de detección y el reemplazo del elemento dañado en el momento más adecuado.

Dedicatoria

Dedico este trabajo a

*A mi Reinita - Reyna García -
Por su cariño, comprensión, apoyo y haber mantenido
siempre firme la promesa que nos hicimos en el altar.*

*A mis hijos - Marquitos y Dieguito -
Quienes son la alegría de mi vida y siempre serán mis niños
y mis cositas hermosas.*

*A mi tía - Luz del Carmen -
Por ser la "mamá más mala del mundo" y a quien le debo lo
que soy.*

*A mi hermano – Eduardo -
Por su apoyo incondicional y por ser mi mejor amigo.*

Agradecimientos

*A mis directores de tesis; **Dr. Abraham Claudio** y **Dr. Didier Theilliol** por su invaluable apoyo y dedicación durante el desarrollo de este trabajo de tesis.*

*Al **Dr. Gerardo Vela**; quien merece todo mi respeto por ser mi asesor de tesis no oficial y quien fue para mi un gran profesor, tutor y guía espiritual durante mi formación doctoral.*

*A mis revisores de tesis por sus comentarios y correcciones de este trabajo; **Dr. Jaime Eugenio Arau Roffiel, Dr. Marco A. Oliver Salazar, Dr. Ruben A. Garrido Moctezuma, Dr. Carlos Aguilar Castillo, Dr. Manuel Adam Medina.***

*A la plantilla docente del departamento de electrónica a quienes le debo directa o indirectamente mi formación académica. **Gerardo Vela, Abraham Claudio, Carlos Aguilar, Hugo Calleja, Mario Ponce, Jaime Arau, Jesus Aguayo, Manuel Adam, Carlos Astorga, Marco Oliver, Gerardo Guerrero, Carlos Daniel***

*Al personal administrativo y técnico que integran el departamento de electrónica; **Maira, Señora Mónica, Mario Moreno, Alfredo Gonzáles, Alfredo Terrazas, Alberto, España, Góngora.***

*A la flota de estudiantes de doctorado. **Mario Juárez (botas), Leobardo Hernández, Feddy Chan, Marving Aguilar, Ernesto Bárcenas, Víctor Olivares (Líder precioso), Rene Osorio (el famoso renesex), Efrén Flores (Efrensazo), Roberto Galindo, Alejandro Vázquez, Armando Olmos, Juan Carlos Yris, Adriana Aguilera (Colombian), Héctor Romero (Chavito), Cornelio Morales (Corne).***

*Al **cenidet**, por permitirme realizar mis estudios de doctorado.*

*A la **Universidad Autónoma del Carmen UNACAR** por el permiso y apoyo económico durante la realización de mis estudios de doctorado*

*A la **SEP** a través del **PROMEP** con clave /103.5/04/2601 por el apoyo económico durante la realización de mis estudios de doctorado*

CONTENIDO

Lista de símbolos.....	iv
Lista de acrónimos.....	vi
Lista de figuras.....	vii
Lista de tablas.....	ix
CAPÍTULO 1 INTRODUCCIÓN.....	1
1.1 ANTECEDENTES.....	2
1.2 REVISIÓN DEL ESTADO DEL ARTE.....	3
1.2.1 Mecanismos tolerantes.....	3
1.2.2 Sistema <i>inversor-motor</i> tolerante a fallas.....	5
1.2.3 Detección de fallas en IGBTs.....	8
1.3 OBJETIVO DEL TRABAJO DE TESIS.....	11
1.4 HIPÓTESIS.....	12
1.5 ALCANCES Y APORTACIONES.....	12
1.6 ORGANIZACIÓN DE LA TESIS.....	13
1.7 BIBLIOGRAFÍA.....	14
CAPÍTULO 2 DIAGNÓSTICO DE FALLAS.....	17
2.1 INTRODUCCIÓN.....	18
2.2 CONCEPTOS BÁSICOS.....	18
2.3 FALLAS.....	20
2.4 DIAGNÓSTICO DE FALLAS.....	24
2.5 MECANISMOS TOLERANTES A FALLAS.....	29
2.6 BIBLIOGRAFÍA.....	33
CAPÍTULO 3 TÉCNICAS DE DETECCIÓN DE AVERÍAS EN LOS INTERRUPTORES DEL INVERSOR TRIFÁSICO.....	35
3.1 INTRODUCCIÓN.....	36
3.2 TÉCNICA 1: TRAYECTORIAS DE LAS CORRIENTES.....	36
3.3 TÉCNICA 2: COMPOSICIÓN VECTORIAL DE LOS ARMÓNICOS DE VOLTAJE.....	42
3.4 TÉCNICA 3: MEDICIÓN DE VOLTAJE EN LOS POLOS DEL INVERSOR.....	44
3.5 TÉCNICA 4: TIEMPOS DE CONMUTACIÓN DEL INTERRUPTOR.....	47
3.6 CONCLUSIÓN.....	54
3.7 BIBLIOGRAFÍA.....	55

CAPÍTULO 4	TÉCNICAS PROPUESTAS PARA DETECTAR AVERÍAS EN DSEP	57
4.1	INTRODUCCIÓN.....	58
4.2	MODELADO DEL IGBT.....	59
4.2.1	Modelo físico del IGBT-PT implementado en código fuente de Pspice.....	60
4.2.2	Modelo físico del IGBT-NPT implementado como subcircuito en Pspice.....	62
4.2.3	Ecuaciones del modelo del IGBT.....	65
4.2.4	Señal característica del voltaje de compuerta del IGBT.....	67
4.3	TÉCNICA DE DETECCIÓN DE AVERÍA EN EL DSEP DURANTE EL ESTADO ESTABLE.....	69
4.3.1	Criterio para la definición de las ventanas de detección.....	70
4.3.2	Circuito de detección de averías.....	71
4.3.3	Análisis de resultados.....	73
4.3.4	Conclusión de la técnica propuesta.....	74
4.4	DETECCIÓN DE AVERÍA EN EL IGBT BASADA EN LA SEÑAL DE COMPUERTA DURANTE EL ESTADO TRANSITORIO.....	75
4.4.1	Fenómeno destructivo del IGBT.....	77
4.4.2	Fases durante la conmutación al encendido del IGBT.....	78
4.4.3	Validación de la señal de compuerta en presencia de avería.....	80
4.4.4	Circuito de <i>detección</i> de averías.....	81
4.4.5	Análisis de resultados.....	87
4.4.6	Conclusión de la técnica propuesta.....	92
4.5	BIBLIOGRAFÍA.....	94
CAPÍTULO 5	SISTEMA INVERSOR-MOTOR TOLERANTE A AVERÍAS CON REDUNDANCIA MATERIAL	97
5.1	INTRODUCCIÓN.....	98
5.2	ESQUEMA PROPUESTO.....	99
5.2.1	Secuencia tolerante.....	100
5.2.2	Aislamiento eléctrico.....	101
5.2.3	Reemplazo del elemento dañado.....	103
5.2.3.1	Justificación teórica para el mejor momento de reemplazo.....	104
5.2.3.2	Resultados de simulación.....	105
5.2.3.3	Resultados experimentales.....	110
5.2.4	Conclusión del esquema propuesto.....	114
5.3	BIBLIOGRAFÍA.....	115

CAPÍTULO 6	CONCLUSIONES	117
6.1	TÉCNICA DE DETECCIÓN DE AVERÍAS.....	118
6.2	SISTEMA INVERSOR-MOTOR TOLERANTE A AVERÍAS.....	119
6.3	TIEMPOS DE DETECCIÓN Y REEMPLAZO.....	120
6.4	TRABAJOS FUTUROS.....	121
6.5	PUBLICACIONES.....	122
Apéndice 1	Ecuaciones básicas del modelo del IGBT.....	125
Apéndice 2	Detalle del circuito de detección de averías basado en la medición de la señal de compuerta y simulado en Pspice.....	129
Apéndice 3	Detalle del inversor-motor tolerante a averías simulado en PSIM...	133
Apéndice 4	Exposición de fotos del sistema inversor-motor tolerante a fallas propuesto.....	137
Apéndice 5	Detalle de la implementación del control V/F del inversor con el DSP -TMS320F2812-.....	141
Apéndice 6	Sintonización del control vectorial.....	147

Lista de símbolos

\bar{I}_C	Corriente de colector complementaria	C_{ies}	Capacitancia de compuerta-emisor cortocircuitando colector- emisor
\bar{I}_{Modelo}	Corriente del modelo complementario	C_{iss}	capacitancia de entrada al IGBT
$\pm\Delta v_{j0}$	Desviación de voltaje en el polo debido a avería en el interruptor	C_{OXD}	Capacitancia del oxido compuerta-drenaje
e_{j0}	Error de voltaje	C_{xn}	Interruptor bidireccional de conexión de la fase \hat{y} posición n
\in_{jd}	Error en forma discreta	C_{xp}	Interruptor bidireccional de conexión de la fase \hat{y} posición p
\bar{Q}	Interruptor complementario de Q	d	Nodo del drenaje en el MOSFET interno
\hat{v}_{j0}	Referencia de V'_{j0}	D	Ciclo útil de trabajo
e'_{j0}	Residuo a partir de e_{j0}	DQ	Marco de referencia DQ
\bar{V}_{sf}	Vector del voltaje de salida filtrado	e	Nodo del emisor en BJT interno
\bar{V}_{CE}	Voltaje colector-emisor complementario	Eg	Energía de la banda prohibida
\bar{V}_{GE}	Voltaje compuerta-emisor complementario	F_c	Frecuencia de conmutación
V'_{j0}	Voltaje del polo de la fase j a tierra después de la avería	F_{xn}	Fusible de la fase x posición n
V_{j0}	Voltaje del polo de la fase j a tierra en condición libre de fallas	F_{xp}	Fusible de la fase x posición p
ΔQ_B	Carga en la base n -	g	Nodo de la compuerta en el MOSFET
ϵ_{si}	Constante del dieléctrico = 1.05×10^{-12} F/cm	H_ω	Ganancia del filtro de velocidad
$a1$ y $a2$	Constantes de conmutación de los DSEP	H_c	Ganancia del filtro del lazo de corriente
A	Área activa	I_α	Corriente trasformada en α
A_{GD}	Área de traslape compuerta-drenaje	I_a	Corriente en la fase a
A_{ges}	Área activa completa del chip	I_B	Corriente en la base del transistor interno
avg	Valor promedio	I_b	Corriente en la fase b
A_x	Interruptor bidireccional de aislamiento de la fase \hat{y}	I_{bss}	Corriente de estado estable de la base
b	Nodo de la base en el BJT interno	I_c	Corriente en la fase c
B_r	Coefficiente de fricción	I_C	Corriente en el colector del IGBT
C_{be}	Capacitancia base-emisor	$I_C(V_{gs})$	Función de transferencia del IGBT
C_{be0}	Capacitancia base-emisor a voltaje cero	I_{css}	Corriente de estado estable del colector
C_{bed}	Capacitancia de difusión base-emisor	I_D	Corriente de drenaje
C_{bej}	Capacitancia de deflexión base-emisor	I_f	Corriente de fase
C_{CE}	Capacitancia colector-emisor	I_G	Corriente en la compuerta
C_{cer}	Capacitancia y carga colector-emisor	I_{g0}	Corriente en la compuerta promedio
C_{DG}	Capacitancia y carga drenaje-compuerta	I_K	Corriente en la rodilla de la fase de redistribución
C_{DS}	Capacitancia y carga drenaje-fuente	I_{mos}	Corriente del canal del MOSFET
C_{dsj}	Capacitancia de traslape drenaje-fuente	I_{mp}	Corriente del transistor bipolar interno del IGBT
C_{eb}	Capacitancia y carga emisor-base	I_{qs}^e	Corriente qs en el marco de referencia dq
C_{gc}	Capacitancia compuerta-colector	i_s	Corriente de estator
C_{GD}	Capacitancia y carga de compuerta-drenaje	I_{sne}	Corriente de saturación de electrones en el emisor
C_{GDJ}	Capacitancia de traslape compuerta-drenaje	I_β	Corriente trasformada en β
C_{GE}	Capacitancia compuerta-emisor	j	Fase
C_{GS}	Capacitancia y carga compuerta-	J	Momento de inercia total
		K	Coefficiente de relación de inductancia de emisor
		k	Valor actual
		$k-1$	Valor anterior
		K_n	Ganancia de la parte eléctrica-mecánica
		K_p	Parámetro de transconductancia
		K_{ps}	Ganancia proporcional del controlador PI
		K_t	Constante del torque

C_{gs0}	Capacitancia de traslape compuerta-fuente	t_d	Tiempo de retardo
L	longitud de difusión ambipolar	tf	Tiempo de subida
L_e	Inductancia en emisor total	$T_{JV_{gg}}$	Tiempo de bajada de V_{gg}
L_{e1}	Inductancia kelvin	Θ	Factor del campo transversal
L_{e2}	Inductancia de emisor externa	T_{is}	Constante de tiempo integral
L_g	Inductancia externa de la compuerta	T_m	Constante de tiempo de la parte eléctrica-mecánica
L_m	Inductancia magnetizante	T_{off}	Tiempo de apagado
L_r	Inductancia del rotor	T_{on}	Tiempo de encendido
L_s	Inductancia del estator	tr	Tiempo de bajada
M	Factor multiplicativo de avalancha	$T_{rV_{gg}}$	Tiempo de subida de V_{gg}
M_{eff}	Movilidad ambipolar efectiva	$u(t)$	Entrada a la planta
M_{UN}	Movilidad de electrones = 1.5×10^3 $cm^2/(V.s)$	V_{bc}	Voltaje base-colector
M_{UP}	Movilidad de huecos = 4.5×10^2 $cm^2/(V.s)$	V_{Br}	Voltaje de ruptura
n	Coefficiente de emisión de la unión pn	V_{CC}	Voltaje de alimentación
N_A	Concentración neta acoplada	V_{cd}	Voltaje del bus de CD
N_B	Dopado de la zona n-	V_{CE}	Voltaje colector-emisor del IGBT
N_C	Concentración de portadores en la zona de carga espacial base-colector	V_{celda1}	Voltaje en la celda 1
N_D	Concentración de donadores	V_{celda2}	Voltaje en la celda 2
n_e	Coefficiente de emisión de la unión pn	V_{celda3}	Voltaje en la celda 3
n_{eff}	Concentración de difusión efectiva	V_{CEmax}	Voltaje colector-emisor máximo
n_i	Concentración intrínseca de portadores	V_{cm}	Voltaje máximo del control
P	Número de pares de polos	V_D	Voltaje de difusión
P_0	Concentración de huecos del lado emisor de la zona n-	V_{DG}	Voltaje de drenaje-compuerta
P_0	Concentración de portadores de la base al final del emisor.	V_{DS}	Voltaje drenaje-fuente
P_M	Pico de la concentración de huecos	V_{eb}	Voltaje emisor-base
q	Carga elemental = 1.06×10^{-19} C	V_g	Voltaje de compuerta
Q	Interruptor	V_{GC}	Voltaje compuerta-colector
Q_B	Carga de la base	V_{GC}	Voltaje compuerta-colector del IGBT
Q_{Bl}	Carga en la región izquierda de la base	V_{GD}	Voltaje compuerta-drenaje
Q_{Bm}	Carga en la región central de la base	V_{GE}	Voltaje compuerta-emisor del IGBT
Q_{Br}	Carga en la región derecha de la base	V_{GE}	Voltaje de compuerta-emisor
Q_{DG}	Carga de drenaje-compuerta	V_{GE}^*	Voltaje de compuerta-emisor sin efecto de la inductancia de emisor
Q_{eb}	Carga de emisor-base	V_{GG}	Voltaje del control de la compuerta
Q_g	Carga en la compuerta	V_{GK}	Voltaje de compuerta-cátodo
Q_n	Interruptor de respaldo para la posición n	V_{GS}	Voltaje compuerta-fuente
Q_p	Interruptor de respaldo para la posición p	V_{Le1}	Voltaje en la inductancia kelvin
Q_{xn}	Interruptor en la fase x posición n	V_{Le2}	Voltaje en la inductancia de emisor externa
Q_{xp}	Interruptor en la fase x posición p	V_{qs}^e	Voltaje qs en e marco de referencia dq
$r1$	Residuo 1	V_{sf}	Voltaje de salida filtrado
$r2$	Residuo 2	V_{sfmax}	Voltaje de salida filtrado máximo
R_B	Resistencia de la base	V_T	Voltaje de umbral
R_C	Resistencia de colector	V_T	Voltaje térmico
R_G	Resistencia de compuerta	V_{TD}	Umbral de deflexión del traslape compuerta-drenaje
R_r	Resistencia del rotor	W	Ancho de la base cuasineutral
R_s	Resistencia del estator	W_B	Ancho de la zona n-
s	Nodo de la fuente en el MOSFET interno	W_{bcj}	Ancho del área de traslape base-colector
t	Tiempo	W_{RLZ}	Ancho en la zona de carga espacial
T	Temperatura	X_i	Variable de entrada
T_ω	Constante de tiempo del filtro de velocidad	X_o	Variable de salida
T_0	Temperatura medio ambiente	$y(t)$	Salida de la planta
t_0	Tiempo inicial	β_α	Marco de transformada de Clark
τ	Tiempo de vida de los portadores		
t_c	Tiempo de compensación		

Lista de acrónimos

TMR	<i>Redundancia modular triple</i>
ABS	<i>Sistema antibloqueo</i>
PLC	<i>Controlador de programación lógica</i>
IGBT	<i>Transistor Bipolar de compuerta aislada</i>
HSF	<i>Falla en conmutación dura</i>
FUL	<i>Falla sobre la carga</i>
CD	<i>Corriente directa</i>
CA	<i>Corriente alterna</i>
μ P	<i>Microprocesador</i>
DSP	<i>Procesador Digital de Señales</i>
FPGA	<i>Arreglo de compuertas de programación en campo</i>
DFT	<i>Transformada discreta de Fourier</i>
FFT	<i>Transformada rápida de Fourier</i>
SAFEPROCESS	<i>Detección de fallas, supervisión y seguridad para procesos técnicos.</i>
IFAC	<i>Federación internacional de control automático</i>
FDI	<i>Aislamiento y detección de fallas</i>
DSEP	<i>Dispositivo semiconductor electrónico de potencia</i>
PWM	<i>Modulador del ancho del pulso</i>
MOSFET	<i>Transistor de Efecto de Campo de semiconductor Metal Oxido</i>
BJT	<i>Transistor de unión bipolar</i>
GTO	<i>Tiristor apagado por compuerta</i>
SIT	<i>Transistor de inducción estática</i>
PT	<i>Con capa "buffer" que limitar la expansión del campo eléctrico hasta la unión pn,</i>
NPT	<i>Sin capa "buffer" que limitar la expansión del campo eléctrico hasta la unión pn,</i>
ABM	<i>Modelado con comportamiento analógico</i>
DUT	<i>Dispositivo bajo prueba</i>
IGCT	<i>Tiristor controlado por compuerta integrada</i>
SGCT	<i>Tiristor controlado por compuerta simétrica</i>
MI	<i>Motor de inducción</i>

Lista de figuras

Figura 1.1.	<i>División de los mecanismos tolerantes a fallas.....</i>	3
Figura 1.2.	<i>Esquema tolerante a fallo con redundancia estática.....</i>	4
Figura 1.3.	<i>Esquema tolerante con redundancia dinámica y unidad de respaldo tipo respaldo-en-caliente (a) y respaldo-en-frío (b).....</i>	5
Figura. 1.4.	<i>Corrientes del estator en lazo cerrado del esquema redundante de fase con rama auxiliar.....</i>	7
Figura 2.1.	<i>Fallas más comunes según el impacto en la planta.....</i>	21
Figura 2.2.	<i>Ilustración gráfica del comportamiento del sistema.....</i>	22
Figura 2.3.	<i>Sistema sujeto a fallas.....</i>	23
Figura 2.4.	<i>Diagrama general del diagnóstico de fallas.....</i>	24
Figura 2.5.	<i>Generador de residuos.....</i>	25
Figura 2.6.	<i>Forma de implementar la redundancia física.....</i>	25
Figura 2.7.	<i>Forma de implementar la redundancia analítica.....</i>	26
Figura 2.8.	<i>Clasificación de los diferentes métodos de generación de residuos.....</i>	27
Figura 2.9.	<i>Clasificación de los mecanismos para control tolerante a fallas.....</i>	29
Figura 2.10.	<i>Sistema inversor-motor con mecanismo tolerante en los dispositivos.....</i>	31
Figura 3.1.	<i>Inversor estándar conectado a un motor de inducción.....</i>	36
Figura 3.2.	<i>Trayectoria de las corrientes libre de fallas por dispositivo-abierto.....</i>	37
Figura 3.3.	<i>Trayectoria de la corriente $\beta\alpha$ con avería en Q1 y Q4 respectivamente.....</i>	38
Figura 3.4.	<i>Trayectoria de la corriente $\beta\alpha$ con avería en Q2 y Q5 respectivamente.....</i>	39
Figura 3.5.	<i>Trayectoria de la corriente $\beta\alpha$ con avería en Q3 y Q6 respectivamente.....</i>	40
Figura 3.6.	<i>Trayectoria de la corriente $\beta\alpha$ cuando la avería en Q1 presenta un error de Offset $I_a = I_o$.....</i>	41
Figura 3.7.	<i>Voltaje de salida filtrado remarcando los puntos cuando $V_{sf} = 0$ ó $T/3$ ó $2T/3$.....</i>	43
Figura 3.8.	<i>Estrategia de detección y localización utilizando la composición vectorial de los armónicos de voltaje a la frecuencia de conmutación.....</i>	44
Figura 3.9.	<i>Ubicación de terminos en el sistema inversor y ubicación de averías soportadas.....</i>	45
Figura 3.10.	<i>Diagrama a bloques del sistema de diagnóstico.....</i>	46
Figura 3.11.	<i>Diagrama a bloques de la técnica propuesta.....</i>	47
Figura 3.12.	<i>Definición de ventanas móviles sobre las señales de conmutación.....</i>	48
Figura 3.13.	<i>Caso libre de falla en los interruptores.....</i>	49
Figura 3.14.	<i>Caso bajo falla por dispositivo-abierto.....</i>	50
Figura 3.15.	<i>Caso bajo falla por dispositivo-en-corto.....</i>	50
Figura 3.16.	<i>Formas de onda normalizadas para $\bar{I}_{mod\ elo}$ e \bar{I}_C en condición libre de falla.....</i>	51
Figura 3.17.	<i>Formas de onda normalizadas para $\bar{I}_{mod\ elo}$ e \bar{I}_C en condición bajo falla por dispositivo-en-corto o fase a tierra en el devanado del estator de motor.....</i>	52
Figura 3.18.	<i>Formas de onda normalizadas para $\bar{I}_{mod\ elo}$ e \bar{I}_C en condición bajo falla por dispositivo-abierto en el DSEP o fase abierta en el devanado del estator de motor.....</i>	52
Figura 3.19.	<i>Posición de los sensores de voltaje y corriente para un sistema monofásico.....</i>	53
Figura 4.1.	<i>Aplicación de los Dispositivos Semiconductores Electrónicos de Potencia DSEP.....</i>	59
Figura 4.2.	<i>Estructura del IGBT de tipo PT y NPT.....</i>	59
Figura 4.3.	<i>Circuito equivalente del modelo del IGBT en Pspice (IGBT-PT).....</i>	61
Figura 4.4.	<i>Representación del circuito equivalente del modelo del IGBT (IGBT-NPT).....</i>	63
Figura 4.5.	<i>Circuito básico equivalente del IGBT.....</i>	65
Figura 4.6.	<i>Circuito de prueba.....</i>	68
Figura 4.7.	<i>Formas de onda en el encendido del IGBT.....</i>	68
Figura 4.8.	<i>Diagrama de tiempos para generar ventanas de detección.....</i>	70

Figura 4.9.	Esquema de detección de fallas basado en los tiempos de conmutación de los dispositivos de potencia.....	72
Figura 4.10.	Diagrama de tiempos de las señales de salida en el circuito de detección de fallas.....	72
Figura 4.11.	Fotografía del circuito de detección.....	73
Figura 4.12.	Montaje del circuito detector.....	73
Figura 4.13.	Resultados obtenidos simulando una falla por dispositivo-en-corto.....	74
Figura 4.14.	Estructura interna del IGBT.....	75
Figura 4.15.	Circuito equivalente de la señal de compuerta del IGBT.....	76
Figura 4.16.	Módulo con dos dispositivos.....	77
Figura 4.17.	Carga en la compuerta del IGBT experimental.....	78
Figura 4.18.	Simulación de la señal de carga en la compuerta variando A_{GD}	79
Figura 4.19.	Circuito chopper experimental con carga resistiva.....	80
Figura 4.20.	Resultados experimentales de la señal de compuerta.....	80
Figura 4.21.	Esquema de detección de avería en el IGBT basado en la medición de señal de compuerta.....	81
Figura 4.22.	Diagrama de tiempo para determinar la anchura del P1 y la amplitud del P2.....	82
Figura 4.23.	Decisión del diagnóstico.....	82
Figura 4.24.	Circuito de medición de V_{GE}^*	83
Figura 4.25.	Atenuación del ruido inducido en la señal de compuerta con un valor de $K = 1.4$ ($L_{e1}=2$ nH y $L_{e2}=5$ nH).....	86
Figura 4.26.	Circuito chopper utilizado para probar la técnica propuesta de detección mediante un sub-circuito implementado con componentes reales.....	88
Figura 4.27.	Residuos obtenidos utilizando el circuito de detección propuesto: a) Caso libre de avería, b) Caso de dispositivo-en-corto y c) Caso de dispositivo-abierto.....	89
Figura 5.1.	Sistema inversor-motor tolerante a averías con redundancia múltiple.....	99
Figura 5.2.	Diagrama de tiempos general para el sistema inversor-motor tolerante a averías.....	100
Figura 5.3.	Fallas abruptas en el inversor.....	101
Figura 5.4.	Fallas incipientes en el motor.....	99
Figura 5.5.	Posición de los fusibles protectores o aislantes.....	100
Figura 5.6.	Diagrama a bloque del inversor-motor controlado vectorialmente con flujo del rotor constante.....	103
Figura 5.7.	Simulación de reemplazo del elemento dañado en los tiempos P1(antes del cruce por cero), P2(en el cruce por cero) y P3(después del cruce por cero) utilizando un control Volts/Hertz en lazo-abierto; a) I_{sc} con carga, b) velocidad mecánica ω_r con carga.....	103
Figura 5.8.	Simulación del reemplazo del elemento dañado en los tiempos P1, P2 y P3 utilizando un control por campo orientado en lazo-cerrado; a) Corriente I_{sc} , b) Velocidad mecánica ω_r	104
Figura 5.9.	Simulación paramétrica del reemplazo del elemento dañado en los tiempos de P1, P2 y P3 reconfigurando el controlador de velocidad; a) $\omega_m(t-1)$, b) $V_{ge}(t+1)=0$	106
Figura 5.10.	Inversor-motor tolerante a averías.....	107
Figura 5.11.	Reemplazo del elemento dañado en el cruce por cero de la corriente del motor; a) Simulación y b) Experimental.....	108
Figura 5.12.	Diagrama de flujo de la metodología del reemplazo del elemento dañado.....	110

Lista de tablas

Tabla 1.1.	<i>Características de los esquemas redundantes para el sistema inversor-motor tolerante a fallas.....</i>	<i>6</i>
Tabla 1.2.	<i>Resumen de averías en el interruptores del inversor-motor.....</i>	<i>10</i>
Tabla 3.1.	<i>Tabla de decisión para el diagnóstico de avería por dispositivo-abierto.....</i>	<i>46</i>
Tabla 4.1.	<i>Variables del sistema de ecuaciones del modelo estándar del IGBT en Pspice.....</i>	<i>61</i>
Tabla 4.2.	<i>Parámetros del modelo estándar del IGBT.....</i>	<i>62</i>
Tabla 4.3.	<i>Variables del sistema de ecuaciones del IGBT implementado en Pspice como subcircuito.....</i>	<i>63</i>
Tabla 4.4.	<i>Parámetros del modelo del IGBT implementado como subcircuito.....</i>	<i>64</i>
Tabla 4.5.	<i>Componentes involucrados durante el procesamiento para detectar averías en IGBTs...</i>	<i>87</i>
Tabla 4.6.	<i>Comparación de las técnicas de detección de averías en los dispositivos de potencia para el sistema inversor-motor</i>	<i>91</i>
Tabla 5.1.	<i>Comparación del esquema propuesto del sistema inversor-motor tolerante a averías....</i>	<i>114</i>

Capítulo 1

INTRODUCCIÓN

En este capítulo se expone una introducción del tema de tesis doctoral y se muestra de manera muy sucinta la propuesta de este trabajo auxiliándose de las secciones correspondientes a los antecedentes, el estado del arte, los objetivos, la hipótesis, los alcances y las aportaciones de este trabajo.

1.1 ANTECEDENTES

El avance tecnológico ha permitido desarrollar sistemas industriales muy complejos con alto grado de automatización, esto ha mejorado la calidad de sus productos e incrementado la eficiencia de sus procesos pero consecuentemente ha hecho a los sistemas más vulnerables a fallas. Por lo que actualmente existe una creciente necesidad e interés en desarrollar sistemas tolerantes a fallas, los cuales contienen mecanismos tolerantes que hacen a los equipos más confiables, el problema es que en sistemas muy dinámicos el diagnóstico de fallas (detección, localización e identificación) debe de ser ejecutado lo más rápido posible para evitar la propagación de ésta, lo cual puede resultar en severos daños cuando se utilizan sistemas críticos en donde un paro inoportuno puede poner en riesgo no solo la integridad humana sino también la integridad ambiental o económica.

Los sistemas tolerantes a fallas encuentran muchas aplicaciones en procesos críticos en un amplio rango de disciplinas en las que destacan los sistemas mecánicos y eléctricos. Sin embargo, cuando la dinámica del proceso es muy rápida, las aplicaciones centran su atención en sistemas de telecomunicaciones y electrónica. En este sentido, la etapa de detección del sistema de diagnóstico de fallas es el punto clave para reducir el tiempo de retardo porque en él se tiene el primer contacto físico con el proceso, esto es considerando que el tiempo computacional de la localización e identificación de la falla es muy reducido cuando se utilizan procesadores digitales de gran velocidad. Típicamente, las aplicaciones más comunes de los sistemas tolerante en el área de telecomunicaciones y electrónica están encaminadas a procesos en donde la integridad humana se pone en riesgo como en la industria aérea o nuclear entre otras. Sin embargo, la globalización en sistemas industriales donde la integridad ambiental y principalmente económica se pone en riesgo ha motivado fuertemente a los fabricantes de equipos a agregar sistemas tolerantes a sus productos. Algunos ejemplos de estas aplicaciones son en el área de gas y fuego de la industria petrolera [1], en el área de trenes de laminación de la industria siderúrgica [2] y en el área de codificación de canal de sistemas de telecomunicación [3] entre otros.

Un aplicación muy interesante en el área de la electrónica de potencia, como caso de estudio, es el sistema inversor tolerante a fallas en los dispositivos del inversor conectado a un motor de inducción trifásico, en lo sucesivo sistema *inversor-motor*, ya que éste generalmente forma parte de muchos procesos industriales. Además, el 60 % de la electricidad generada en E.U es utilizada principalmente por los motores e inversores eléctricos, los cuales tienen la capacidad de proveer la calidad del producto y la seguridad del equipo y del personal [4], en México la situación es muy similar puesto que, de la energía generada, un 60 % es consumida por sistemas de propulsión, y de ahí el 90 % está relacionada con motores de inducción [5]. Aunado a esto, la mayoría de las aplicaciones industriales críticas, se orientan a proceso donde el elemento final de control es un motor accionado mediante Dispositivos Electrónicos de Potencia *DSEP*.

1.2 REVISIÓN DEL ESTADO DEL ARTE

En este punto se da a conocer lo reportado en la literatura con respecto al sistema inversor conectado a un motor de inducción trifásico tolerante a fallas bajo el enfoque de redundancia material, en donde se resaltan los nichos de oportunidad científica en el área de los esquemas de potencia tolerantes a fallas y principalmente en el área de las técnicas de detección de fallas para disminuir los tiempos de retardo.

1.2.1 MECANISMOS TOLERANTES

En un sistema tolerante hay dos mecanismos alternativos para tolerar fallas, *el control tolerante a fallas* y *la reposición del elemento dañado*. El primer mecanismo tolerante puede ser llevado a cabo bajo el enfoque *activo* o *pasivo* esto es utilizando un control robusto o la reconfiguración y/o acomodación de los parámetros del control. El segundo mecanismo puede ser llevado a cabo utilizando redundancia analítica o material. El problema con el control tolerante a fallas y con la reposición del elemento dañado bajo el enfoque de redundancia analítica es que se introduce una cierta degradación en la operación del proceso después de la falla. Sin embargo, cuando se utiliza la reposición del elemento dañado bajo el enfoque de redundancia material la operación del proceso después de la falla no es degradada. La anterior explicación se muestra gráficamente en el diagrama a bloque de la figura 1.1.

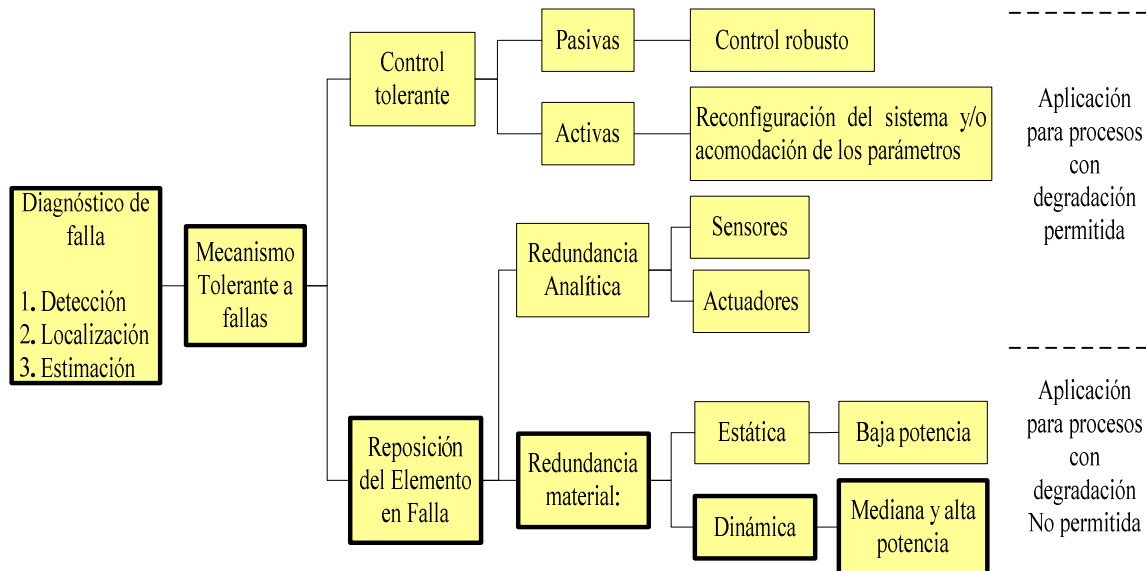


Figura 1.1. División de los mecanismos tolerantes a fallas.

Para la *redundancia material* se tienen dos enfoques, la *estática* y *dinámica* [6]. La *redundancia estática*, generalmente orientada para aplicaciones de baja potencia, utiliza “*n*” módulos activos con una misma señal de entrada X_i con sus salidas conectadas a un evaluador de votos en donde se decide por mayoría si éstas son correctas, dando como resultado el estado operacional de cada módulo. En la figura 1.2 se muestra una estructura mínima TMR (por sus siglas en inglés – *Triple Modular Redundancy*) con tres módulos activos y conectados a una misma señal de entrada. En este caso, al presentarse una falla en algún módulo, su salida es despreciada porque la decisión del evaluador de votos sería dos-de-tres. Entonces, la avería en un módulo puede ser tolerada sin ningún esfuerzo de la etapa de *detección de fallas*. El problema de la *redundancia estática* es que sus aplicaciones están limitadas a bajas potencias y es necesario “*n*” módulos redundantes para soportar $(n-1)/2$ fallas donde $n \geq 3$ e impar.

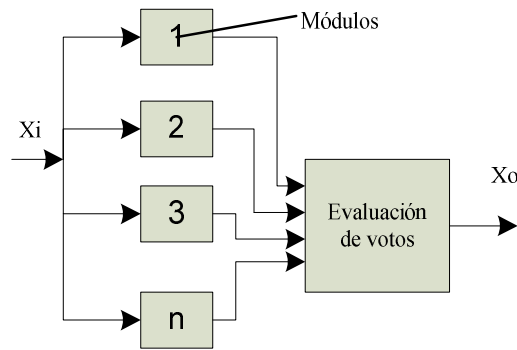
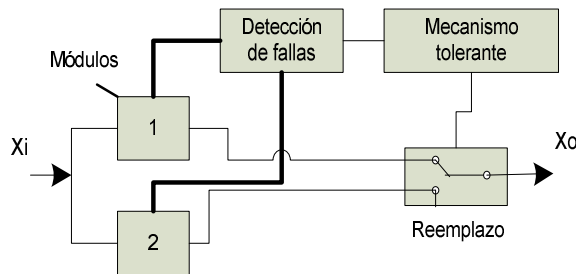


Figura 1.2. Esquema tolerante a fallo con redundancia estática.

La *redundancia dinámica* se orienta para medianas potencias y utiliza pocos módulos redundantes para tolerar una falla, pero a consecuencia de mayor costo y mayor procesamiento de información. En la figura 1.3 se muestran dos esquemas mínimos con dos módulos. En ambos casos un módulo está generalmente en operación y al presentarse una falla, la unidad de respaldo toma el lugar del módulo averiado. Para esto, es necesaria una etapa de *detección de fallas*, la cual pueda observar el comienzo del módulo operacional dañado. Después, la tarea del *mecanismo tolerante* es aislar el elemento dañado y posteriormente conmutar al módulo de respaldo.



a) Respaldo-en-frío

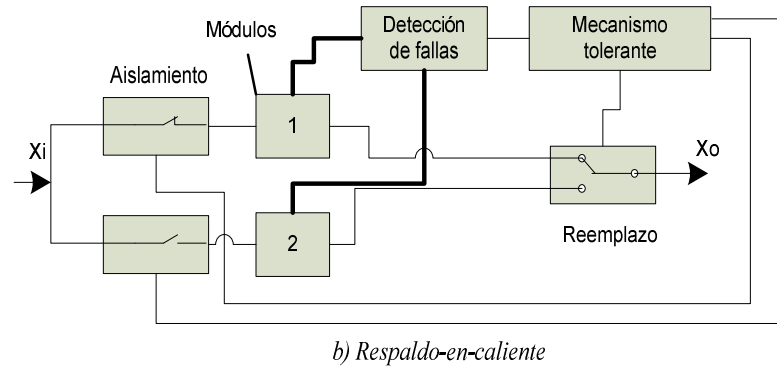


Figura 1.3. Esquema tolerante con redundancia dinámica y unidad de respaldo tipo respaldo-en-caliente (a) y respaldo-en-frío (b).

Hay dos tipos de unidades de respaldo, *respaldo-en-caliente* y *respaldo-en-frío*. En la unidad *respaldo-en-caliente* (figura 1.3a), el módulo de respaldo se encuentra trabajando continuamente, lo que resulta en un tiempo muy corto del *reemplazo del elemento dañado* pero a costa de mayor envejecimiento del módulo redundante, lo cual puede ser crítico en aplicaciones de alta potencia. Por otro lado, con la unidad de *respaldo-en-frío* (figura 1.3b), el módulo de respaldo sólo se activa cuando ocurre la falla, lo que evita el envejecimiento del módulo redundante pero se requiere de al menos dos interruptores adicionales para el *aislamiento eléctrico* y *reemplazo del elemento dañado*. Sin embargo, para ambas unidades de respaldo, la utilización de la etapa de *detección de falas* es esencial.

Existen muchas aplicaciones que justifican plenamente la implementación de un sistema tolerante con redundancia dinámica múltiple y con unidades de respaldo tipo *respaldo-en-frío* como el antibloqueo para el sistema de freno *ABS* (por sus siglas en inglés – *Antilock Brake Systems*) de automóviles [7] en donde la seguridad humana se pone en riesgo. Sin embargo, hoy en día hay aplicaciones industriales críticas que resguardan la integridad ambiental y económica y que justifican también la implementación de sistemas tolerantes con múltiple redundancia como los controladores PLC's (por sus siglas en inglés - *Programmed Logic Controller*) con estructura TMR en el área de *gas y fuego* de la industria petrolera [8].

1.2.2 SISTEMA INVERSORMOTOR TOLERANTE A FALLAS

En la literatura se han reportado muchos esquemas tolerantes a falas en los dispositivos electrónicos de potencia del sistema *inversor-motor* con redundancia dinámica y unidades de respaldo tipo *respaldo-en-frío*. Sin embargo, el mecanismo tolerante a falas es muy similar y básicamente consiste en aislar y reemplazar eléctricamente el elemento dañado, todo esto a partir de una previa detección en tiempo real de falla en los interruptores, los cuales son

dispositivos electrónicos de potencia y comúnmente son componentes de tipo transistor bipolar de compuerta aislada *IGBT* (por sus siglas en inglés- *Insulate Gate Bipolar Transistor*).

En la tabla 1.1 se muestran las características más sobresalientes de seis esquemas tolerantes a fallas en los interruptores para un sistema *inversor-motor* con redundancia dinámica y módulos de respaldo constituidos por dos interruptores en un mismo encapsulado comúnmente llamados *ramas*.

Tabla 1.1. Características de los esquemas redundantes para el sistema *inversor-motor* tolerante a fallas.

Esquemas	Referencias	Características
a) Redundante de un interruptor	B.A. Welchko [9] A.M.S. Mendes [10] Jen-Ren Fu [11]	-Operación degradada después de la falla -Retrazo total elevado (7ms) -Detección lenta (>2 ciclos de conmutación)
b) Redundante de doble interruptor	B.A. Welchko [9] S. Bolognani [12]	-Operación degradada después de la falla -Demasiados componentes auxiliares -Retrazo total elevado (7ms) -Detección lenta(>2 ciclos de conmutación)
c) Redundante de fase con rama auxiliar	B.A. Welchko [9] S. Bolognani [12] R. L. A. Ribeiro [13]	-Operación no degradada después de la falla -Demasiados componentes auxiliares -Retrazo total elevado (7ms) -Detección lenta (>2 ciclos de conmutación)
d) Redundante de fase con voltaje auxiliar	Jen-Ren Fu [11]	-Operación degradada después de la falla -Retrazo total elevado (7ms) -Detección lenta (>2 ciclos de conmutación)
e) Redundante con inversor en cascada	B.A. Welchko [9]	-Operación degradada después de la falla -Transitorio de reemplazo elevado -El dispositivo-en-corto no es considerado -Motor de inducción 3 fases 6 hilos -Detección lenta (>2 ciclos de conmutación)
f) Redundante con cuatro ramas	B.A. Welchko [9]	-Operación degradada después de la falla -El dispositivo-en-corto no es considerado -Detección lenta (>2 ciclos de conmutación)

Un aspecto importante de los esquemas anteriores es que sólo *c)* no introduce operación degradada después del transitorio de falla debido a que la reconfiguración consiste en reemplazar sólo la rama dañado, por lo que el transitorio de reemplazo es mucho menor que en los demás esquemas. En la figura 1.4 se muestra de manera experimental las corrientes de fase del *inverso-motor* tolerante a fallas obtenidas en [13] durante el reemplazo del elemento dañado utilizando el esquema *c)*, en donde se puede observar la deformación significativa de las señales de fase durante 7 ms, lo cual pueden repercutir en una operación degradada durante este tiempo.

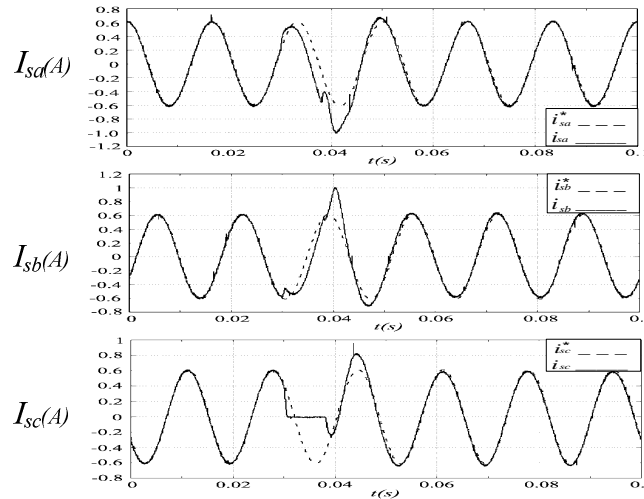


Figura. 1.4. Corrientes del estator en lazo cerrado del esquema redundante de fase con rama auxiliar.

La condición de falla se introduce en el tiempo inicial $t_0 = 0.03s$ y la compensación inicia aproximadamente en el $t_c = 0.037s$. En estas señales se puede observar que durante el periodo de compensación ($t > 20ms$), la corriente de fase diverge de su referencia. Este efecto se debe a la lentitud de la *reconfiguración*, aislamiento eléctrico, detección de la avería en los IGBTs y no linealidades que introducen los inversores en presencia de falla.

Por otra parte, y aunado a las desventajas expuestas en la tabla 1, se puede mencionar que todos los esquemas tolerantes se enfocan solo para medianas potencias y la unidad de respaldo es una rama completa de interruptores (dos dispositivos de potencia integrados en un módulo) en lugar de solo el dispositivo dañado, además el circuito de *detección* está dedicado para detectar fallas en la rama en lugar de solo el dispositivo dañado. En este sentido, la tendencia de fabricación de dispositivos para alta potencia está encaminada al uso de módulos con un solo dispositivo, por lo que un nuevo esquema de *detección* de fallas en los dispositivos y un nuevo esquema tolerante a fallas compuesto por este tipo de módulos resultan muy interesante para aplicaciones críticas de alta potencia. En este punto, es importante mencionar que el término “alta”, “media” y “baja” potencia, en un sistema *inversor-motor*, está ligado con el nivel de potencia que manejan los dispositivos de potencia empleados en el inversor. En este sentido y con respecto al uso de módulos de un solo IGBT en un inversor, la “alta” potencia se ubica por arriba de 90 KW, la “mediana” potencia se contempla dentro del rango de 5 a 90 KW y la “baja” potencia se considera por debajo de los 5 KW, tal como lo clasifica SEMIKRON según el tipo de encapsulado.

1.2.3 DETECCIÓN DE FALLAS EN IGBTs

De manera general, existen dos tipos de fallas en los IGBTs, según el grado de degradación de la falla; la primera falla es por *sobre-corriente* a través del dispositivo y la segunda es por avería o pérdida total del dispositivo.

a) Detección de Sobre-corriente en el IGBT

Las fallas por *sobre-corriente* en los IGBTs son ocasionados por un aumento abrupto en la corriente de un circuito eléctrico y se clasifican, según el estado operativo del dispositivo de potencia, en fallas durante la conmutación dura del dispositivo *HSF* (por sus siglas en inglés - *Hard Switched Fault*-) o por fallas bajo carga *FUL* (por sus siglas en inglés -*Fault Under Load*-) [14].

En la literatura se han reportado varios esquemas para detectar *sobre-corriente* en el IGBT [15], [16] y la más utilizada por los fabricantes de propulsores es la técnica “*desat*” que se basa en la medición simultánea de los voltajes colector-emisor V_{CE} y compuerta-emisor V_{GE} cuando el IGBT entra en estado de des-saturación. Las ventajas son: utiliza un diodo como sensor, es simple y es efectiva para *CD* y *CA*. Las desventajas son: falsas alarmas por transitorios de *sobre-corriente*, sólo detectable para fallas *HSF*, no existe aislamiento eléctrico, los umbrales de detección no están bien definidos y se desconoce la magnitud de la corriente [17].

En [14] se presenta un esquema de protección contra *sobre-corriente*, que trata de mantener el *corto-circuito* durante un mayor tiempo, disminuyendo V_{GE} . De esta manera, se puede tolerar un transitorio de *sobre-carga* sin dañar al IGBT y mantener en operación al sistema dando mayor robustez. El problema aquí, al igual que en [18], es que la implementación está limitada para aplicaciones de menos de 100A debido a la inestabilidad que provoca el ruido generado por el manejo de corriente alta.

Hitashi en [18] propuso otra alternativa para detectar una falla por sobre-corriente tipo *HSF* en un propulsor operando a 600V/600A. Este diseño se basa en la medición transitoria del V_{CE} y la interpretación de la señal de compuerta V_{GE} y consiste en detectar la diferencia en condiciones normales y bajo falla lo más rápido posible por medio de electrónica analógica y digital utilizando componentes discretos para procesar la información en tiempo continuo.

Los fabricantes de dispositivos electrónicos actualmente se han enfocado en el diseño de nuevos y veloces dispositivos para procesamiento de señales, como el μP (Microprocesador), *DSP* (por sus siglas en inglés – Digital Signal Processing) y *FPGA* (por sus siglas en inglés – *Field Programmable Gate Array*). Estos dispositivos son muy flexibles para operaciones complejas y muy veloces para procesar información digital. Sin embargo, el problema principal es que no trabajan de manera continua con la señal analógica.

En las aplicaciones de autoprotección como en las fallas por *sobre-corriente*, comúnmente se utiliza dispositivos de tipo analógico y digital embebidos en el circuito impulsor de compuerta del interruptor porque la detección de la falla debe ser realizada tan pronto como sea posible [19], [20]. Pero, para aplicaciones que demandan procesamiento más complejos, como la localización y estimación de la falla en un sistema de diagnóstico, se utiliza algoritmos computacionales implementados en un *DSPs* o *FPGAs* [19], [21].

b) Detección por Avería en el IGBT

La detección de avería en los *IGBTs* no ha sido un tema muy estudiado en la literatura porque la detección de *sobre-corriente* puede anticipar la avería del dispositivo. Sin embargo, las técnicas de detección de *sobre-corriente* existentes solo contemplan problemas externos al dispositivo. Por este motivo, las averías en el *IGBT* ocasionadas por degradación y estrés térmico no han sido ampliamente consideradas. Por otro lado, en un sistema *inversor-motor* tolerante no solo es necesario detectar la avería del dispositivo, sino también el tipo y la ubicación para reconfigurar el sistema, por lo que un circuito detector de *sobre-corriente* no es suficiente.

Las fallas más comunes en los inversores son las ocurridas en los interruptores, y se subdividen en avería por *dispositivo-abierto* y avería por *dispositivo-en-corto* [19], [22]. Otras fallas no muy comunes son la *pérdida del voltaje del bus de CD* y la *pérdida de la señal de control* [23], [24]. Sin embargo, cuando se piensa en una reconfiguración con *redundancia material* se descartan las fallas por *pérdida en el bus de CD* y por *pérdida de la señal de control* porque éstas no pueden ser físicamente reemplazables ni reconfiguradas sin degradar la operación del sistema después de la falla.

La mayoría de las técnicas utilizadas para detectar averías en los dispositivos de potencia del sistema *inversor-motor* se basan en transformaciones matemáticas tales como la *Transformada Rápida de Fourier FFT* [25], *Transformada Discreta de Fourier FDT* [26], y la *Transformada de Park* [21]. La ventaja de estas técnicas es que pueden localizar la rama dañada con tan solo analizar una variable. El problema es que el tiempo de retardo de la detección es relativamente grande y por lo tanto no es adecuado para evitar que una avería por *dispositivo-en-corto* se propague en un sistema tolerante.

Otra técnica utilizada para detectar averías en los dispositivos de potencia se basa en el cambio de nivel de tensión; como la *desviación del control* [26], *desviación de la corriente normalizada* [8] y *pendientes de tensión* [27]. Estas técnicas son más rápidas que las técnicas anteriores. Sin embargo, la localización de la falla requiere muchas más mediciones. De manera general, las técnicas de *detección de averías* en los dispositivos pueden ser clasificadas como sigue: 1) basadas en el análisis de las trayectorias del vector de corriente y en la frecuencia instantánea [24], 2)

basada en la composición vectorial de los armónicos de voltaje a la frecuencia de conmutación [28] y 3) basada en la interpretación del voltaje característico del dispositivo de potencia en condición libre y bajo falla [29]. Ahora bien, la última técnica mencionada resulta ser la más útil en un sistema tolerante porque el tiempo de detección es muy reducido por la sencillez del algoritmo de detección. Sin embargo, la detección no es muy temprana porque la medición es tomada durante el estado estable. En este sentido, una nueva técnica de detección tomada durante el transitorio de encendido de los interruptores puede ser muy interesante tomando en cuenta que se puede evitar la propagación de la avería por *dispositivo-en-corto* en el interruptor, eliminando así el daño en el dispositivo complementario del mismo polo del inversor

La tabla 1.2 muestra un resumen de cómo se ha abordado el problema de la detección de averías en los IGBTs del inversor.

Tabla 1.2. Resumen de averías en el interruptores del inversor-motor.

<i>Técnica</i>	<i>Ref</i>	<i>Características</i>	<i>Tipo de avería</i>
<i>Transformada rápida de Fourier - FFT</i>	R. Peugeot [24] J. Klima [27] C. Brandao [30]	-Fácil localización de avería -Lento diagnóstico (50 ms)	
<i>Vector de Park</i>	A. M. S. Mendes [21]	-Fácil localización de avería -Pocos cálculos -Lento diagnóstico (50 ms)	<i>Dispositivo-abierto</i>
<i>Comparación de niveles de voltajes</i>	S. Bolognani [12] R. L. A. Ribeiro [13] J. Aguayo [29]	-Simple -Muchos sensores -Lento diagnóstico (50 ms) -alarmas falsas	<i>y</i> <i>Dispositivo-en-corto</i>
<i>Comparación de niveles de voltajes y modelo paralelo</i>	J. Aguayo [29]	-Simple -Pocos sensores -alarmas falsas	
<i>Corriente de CD normalizada y transformada discreta de Fourier-DFT</i>	S. Abramik [31] K. Rothenhagen [32]	-Fácil localización de avería -lento diagnóstico (50 ms) -Mucho procesamiento	
<i>Método de la pendiente</i>	R. Peugeot [24]	-Detección rápida -No identifica el tipo de averías	<i>Dispositivo-abierto</i>
<i>Desviación del control, transformación DQ, DFT</i>	K. Rothenhagen [32]	-Fácil localización de avería -Mucho Procesamiento -Lento diagnóstico (50 ms)	

La conclusión de la tabla anterior es que muchos autores realizan una interpretación de las trayectorias de las corrientes apoyándose en técnicas como la FFT [33], FDT [31] y el vector de Park [21], perdiendo de vista que la detección de falla por avería en los IGBTs debe de ser lo

más rápida posible, lo cual está relacionado con la simplicidad de la técnica para su implementación en tiempo real en un sistema tolerante.

La comparación de los niveles de voltajes y la combinación del modelo paralelo [29] es la técnica mejor adaptada para una rápida detección de averías y menor número de sensores. Este método se basa en comparar las condiciones libre y bajo falla del voltaje en estado estable de las terminales del *IGBT* (V_{CE} y V_{GE}) y de la corriente del estator del motor de inducción lo cual permite un tiempo moderado de detección de avería y reduce el número de sensores. Sin embargo, esta técnica no ha sido implementada físicamente por lo que se pueden presentar problemas de “*alarmas falsas*” debido a que en el análisis correspondiente, no se consideran el problema de ruido inducido. Además, la detección no es realizada en el estado transitorio de encendido del *IGBT*, por lo que la detección no es tan pronto como sea posible.

En la literatura, actualmente no se han reportado esquemas de detección de averías en los *IGBT* a partir de la medición de la señal de compuerta, tal como se hace para detectar *sobrecorriente* [18], pero se sabe que la destrucción de un *IGBT* es ocasionada por los fenómenos de “*latchup*” para el *IGBT-PT* o por “*segunda ruptura*” para el *IGBT-NPT* [17], [34]. Lo cual sirve como punto de partida para diagnosticar de manera temprana una avería en los dispositivos.

1.3 OBJETIVO DEL TRABAJO DE TESIS

El objetivo general del trabajo de tesis es explorar una técnica nueva para detectar averías en los *IGBTs* de un inversor por medio de la medición de señal de compuerta aplicado a un sistema inversor conectado a un motor de inducción trifásico tolerante a averías, con *redundancia dinámica* múltiple y pocos puntos de medición

Como objetivos particulares se tienen los siguientes puntos:

- Explorar una técnica nueva para detectar averías en los *IGBTs* de un inversor por medio de la interpretación de la señal de compuerta del *IGBT* utilizando el enfoque modelo-señal.
- Diseñar e implementar un esquema *inversor-motor* tolerante a averías con múltiple redundancia, utilizando elementos activos para el *aislamiento eléctrico* de la avería y módulos con un solo *IGBT* como unidad de respaldo.
- Implementar la *detección* de avería en los *IGBTs* haciendo uso de componentes discretos analógicos y digitales para detectar la avería lo más pronto posible.
- Implementar el control del inversor en un *DSP*.

1.4 HIPÓTESIS

- La técnica basada en la medición de la señal de compuerta para detectar averías en los *IGBTs* es un método que puede ofrecer muchas ventajas porque la destrucción del dispositivo afecta la zona de deflexión de compuerta-drenaje, lo cual se manifiesta en la señal de compuerta durante el encendido. Algunas de las ventajas son:
 - a). Sólo se necesita un punto de medición para la detección.
 - b). La medición en el transitorio de encendido favorece la rapidez de detección.
 - c). Existe aislamiento eléctrico con respecto a la etapa de potencia.
 - d). El sensor que se emplea es para baja tensión.
- El tiempo de ejecución de la electrónica analógica y digital utilizando dispositivos discretos en un sistema de detección es óptimo debido a que la señal es procesada de manera continua.
- Emplear dos módulos de un sólo *IGBT*, en lugar de ramas de *IGBTs*, puede agregar una *redundancia dinámica* adicional para tolerar averías en *IGBTs* del inversor.
- La inductancia parásita del emisor de un módulo de un sólo *IGBT* es más pequeña que la de una rama de *IGBTs* debido al diseño del encapsulado.

1.5 ALCANCES Y APORTACIONES

- Exploración de un nuevo método de detección de averías en los *IGBTs* basado en la interpretación de la medición de la señal de compuerta.
- Diseño e implementación de un circuito de detección de avería en el *IGBT*.
- Diseño e implementación de un sistema *inversor-motor* con redundancia múltiple tolerante a averías en los dispositivos de potencia, particularmente en los *IGBTs*
- Desarrollo de una metodología para reemplazar el elemento dañado en el momento más adecuado en el sistema *inversor-motor* tolerante a fallas con la intención de disminuir el error de seguimiento en la corriente de fase, según el tipo de falla en los dispositivos de potencia.

1.6 ORGANIZACIÓN DE LA TESIS

- Capítulo II: Aquí se muestran los antecedentes necesarios del sistema de supervisión de sistemas, en donde se involucra el diagnóstico de fallas y los mecanismos tolerantes.
- Capítulo III: En este capítulo se exponen y se analizan de manera detallada las técnicas de detección reportadas en la literatura de detección utilizadas en el sistema *inversor-motor* tolerante a fallas y en la última sección se resumen las ventajas y desventajas de cada técnica tomando como punto de partida, la adecuación para un sistema *inversor-motor* tolerante a fallas que no acepta una operación degradada después de la falla.
- Capítulo IV: En este capítulo se expone dos técnicas propuestas para detectar averías en los dispositivos de potencia con sus respectivos circuitos de detección y resultados experimentales y sus respectivos circuitos de detección.
- Capítulo V: En este punto se muestra el análisis del esquema tolerante propuesto utilizando redundancia material y particularmente se muestra la metodología resultante para reemplazar el elemento dañado en el momento más adecuado con la intención de disminuir el error de seguimiento en la corriente de fase
- Capítulo VI: En esta sección se muestran por separado las conclusiones en cuanto al sistema de detección y en cuanto al esquema tolerante a fallas.

1.7 BIBLIOGRAFÍA

- [1] T. Ertekin and N. Silpngarmlers, “**Optimization of formation analysis and evaluation protocols using neuro-simulation,**” *Elsevier, Journal of Petroleum Science and Engineering, Volume 49, Issues 3-4, 15 December 2005, Pages 97-109*
- [2] Fault tolerant in distributed systems, Pankaj Jalote, Prentice-Hall,
- [3] Tsang-Yi Wang, Yunghsiang S. H, Chen Biao, P.K. Varshney, “**A combined decision fusion and channel coding scheme for distributed fault-tolerant classification in wireless sensor networks,**” *IEEE Transactions on Wireless Communications, Volume 5, Issue 7, July 2006 Page(s):1695 – 1705*
- [4] A. D. Little, *Energy Efficiency and Electric Motors*. Cambridge, MA: Little, 1976
- [5] Fideicomiso para el Ahorro de Energía Eléctrica (FIDE), Comisión Nacional para el Ahorro de Energía, “**Recomendaciones generales para el ahorro de energía en motores eléctricos,**” http://www.conae.gob.mx/wb/CONAE/CONA_2403_motores_electricos 2003.
- [6] Algirdas avizienis, “Fault-tolerant Systems,” *IEEE Transaction on Computers, Vol. c-25, no.12, December 1976*
- [7] R. Iserman, R. Schwart, S. Stölzl, “**Fault-tolerant Drive-by-Wire System,**” *IEEE Control Systems Magazine, pp. 64-81, October 2002.*
- [8] D. Verber, M. Colnarič, “**Issues in the Implementation of a Fault-Tolerant Hardware Platform,**” *IFAC 2002, Barcelona, Spain, pp. 561-566. July 2002*
- [9] B.A. Welchko, T.A. Lipo, T.M. Jahns, S.E. Schulz, “**Fault tolerant three-phase AC motor drive topologies: a comparison of features, cost, and limitations,**” *IEEE Transaction on Power Electronics, Vol. 19, No. 4, pp. 1108-1116, July 2004.*
- [10] A.M.S. Mendes and A.J. Cardoso.: **Performance Analysis of Three-Phase Induction Motor Drives Under Inverter Fault Conditions**. SDEMPED 2003, Symposium on Diagnostic for Electric Machines, Power Electronics and Drives, Atlanta, GA. USA, 24-26 August 2003.
- [11] J. R. Fu, T. A. Lipo.: **A strategy to isolate the switching device fault of a current regulated motor drive**. Conf. Rec. IEEE-IAS Annu. Meeting, vol.1, 1993, pp.1015-1020.
- [12] Silverio Bolognani, Marco Zordan, Mauro Zigliotto.: **Experimental fault-tolerant control of a PMSM drive**. *IEEE Transaction on Industrial Electronics, Vol. 47, No.5, pp. 1134-1141, October 2000*
- [13] R. L. A. Ribeiro, C. B. Jacobina, E. R. C. da Silva and A. M. N. Lima.: **Fault-tolerant voltage-fed PWM inverter AC motor drive systems**. *IEEE Transactions on Industrial Electronics, Vol. 51, No. 2, pp. 439 – 446, April 2004*
- [14] S. Musumeci, R. Pagano, A. Racita, G. Belverde, M. Melito, “**A New Gate Circuit Performing Fault Protections of IGBTs During Short Circuit Transients,**” *IEEE Industrial Applications Society, 2000, pp. 2614 - 2621*
- [15] R. Locher, “**Short circuit proof IGBT’s simplify overcurrent protection,**” *IEEE Ind. Applicat. Soc. Annu. Meeting, Dearborn, MI, 1991, Sep./Oct. 1991.*
- [16] R. Pagano, A. Raciti, “**Evolution in IGBT’s protection against short circuit behaviors by gate-side circuitry,**” *Industrial Electronics, 2002. ISIE 2002. Proceedings of the 2002 IEEE International Symposium on, pp. 913-918.*
- [17] R.S. Chokhawala, J. Catt, L. Kiraly, “**A discussion on IGBT short-circuit behavior and fault protection schemes,**” *IEEE Transactions on Industry Applications, 1995, vol.31, pp. 256-263.*
- [18] Katsumi Ishikawa, Koichi Suda, Masataka Sasaki, Hideki Miyazaki, “**A 600V driver IC with New Short Protection in Hybrid Electric Vehicle IGBT Inverter System,**” *Proceedings of the 17th*

- International Symposium on Power Semiconductor Devices & IC's, May 23-26, 2005
- [19] Wang Hongwen, Zhang Huihong, Hu Maojin, Wang Shengen, “**AC Induction Motor Torque Control System With DSP Controller and Fault Diagnosis**” Electrical Machines and Systems, 2001. ICEMS 2001, Vol. 2, Shenyang, China, pp. 1313-1316, Aug. 2001.
- [20] Data sheet 5009 Fault-tolerant of Woodward, product specification 85578F.
- [21] A. M. S. Mendes and A. J. Marques, “**Voltage source inverter fault diagnosis in variable speed ac drives, by the average current Park's vector approach,**” in Proc. IEEE IEMDC, 1999, pp. 704–706.
- [22] Mohamad Shukri, Marzuki Khalid, Rubiyah Yusuf, Mohd Shafawi, “**Induction Machine Diagnosis Using Adaptive Neuro Fuzzy Infer,**” Springer-Verlag Berlin Heidelberg 2004.
- [23] N. Retiere, D. Roye, P. Mannevy, “**Vector Based Investigation of Induction Motor Drive under Inverter Fault Operation,**” Power Electronics Specialists Conference, 1997. PESC '97 Record. 28th Annual IEEE, Vol. 2, pp. 1288 – 1294, June 1997.
- [24] R. Peugeot, S. Courtine and J. P. Rognon, “**Fault Detection and Isolation on a PWM Inverter by Knowledge-Based Model,**” IEEE Transactions on Industry Applications, Vol. 34, No. 6, pp. 1318-1325. November/December 1998
- [25] R. Lucio, C. Brandao, et. al.:**Fault detection of open-switch damage in voltage-fed PWM motors drive systems,**” IEEE Transactions on Power Electronics, Vol. 18, No. 2, pp. 587-593. March 2003.
- [26] S. F. Farag, R. G. Bartheld, and T. G. Habetler.: **Integrated on-line motor protection system.** Conference Record of the IEEE Industry Applications Society, Mar./Apr. 1996, Vol. 2, pp. 21-26.
- [27] J. Klima.: **Analytical investigation of an induction motor drive under inverter fault mode operations.** IEEE Proceedings Electric Power Applications, Vol. 150, No. 13, May 2003, pp. 255-262.
- [28] Frédéric Richardeau, Philippe Baudesson, and Thierry A. Meynard.: **Failures-tolerance and remedial strategies of a PWM multicell inverter.** IEEE Transactions on Power Electronics, Vol. 17, No. 6, pp. 905-912, November 2002
- [29] J. Aguayo.: **Diagnóstico de fallas en un inversor a partir de los tiempos de conmutación en los dispositivos semiconductores.** Tesis doctoral, CENIDET México, Diciembre (2004)
- [30] C. Brandao, R. Lucio, et. al., “**Fault Tolerant Reversible AC Motor Drive System,**” IEEE Transactions on Industrial Applications, Vol. 39, No. 4, pp. 1077-1084. July-August 2003.
- [31] S. Abramik, W. Sleszynski, J. Nieznanski, H. Piquet, “**A Diagnostic Method for On-Line Fault Detection and Localization in VSI-Fed AC Drives,**” EPE 2003, 10 th European Conference on Power Electronics and Application, Toulouse , France CD-ROM paper.
- [32] Kai Rothenhagen, Friedrich W. Fuchs, “**Performance of Diagnosis Methods for IGBT Open Circuit Fault in Voltage Source Active Rectifiers,**” IEEE Power Electronics Specialists Conference 2004 35th Annual, Aachen, Germany, 2004, pp. 4348 – 4354.
- [33] K. A. Loparo, M. L. Adams, W. Lin, M.F. Abdel-Magied, N. Afshari, “**Fault Detection and Diagnosis of Rotating Machinery,**” IEEE Trans. on Ind. Applications, Vol. 47, No. 5, pp. 1005-1014, October 2000.
- [34] N. Iwamuro, A. Okamoto, S. Tagami, H. Motoyama, “**Numerical analysis of short-circuit safe operating area for p-channel and n-channel IGBTs,**” IEEE Transactions on Electron Devices, 1991, vol. 38, pp.303-309.

Capítulo 2

DIAGNÓSTICO DE FALLAS

En este capítulo se presentan los conceptos básicos y antecedentes del diagnóstico de fallas así como la clasificación de los mecanismos tolerantes, enfatizando la etapa de generación de residuos para la detección de fallas en el diagnóstico. Adicionalmente se ubica el caso de estudio *inversor-motor* en el estado del arte sobre la reposición del elemento dañado en el área de redundancia material.

2.1 INTRODUCCIÓN

Los avances tecnológicos han permitido el desarrollo de plantas industriales más complejas con un alto grado de automatización. Esto ha mejorado la calidad de los productos y aumentado la eficiencia en sus procesos, pero también ha hecho a los sistemas más complejos y más vulnerables a fallas. Esto debido a las crecientes exigencias en los niveles de automatización de los sistemas de producción modernos, los cuales están constituidos por un gran número de subprocesos con complicadas iteraciones en su funcionamiento [1].

Los procesos industriales gobernados mediante controladores automáticos pueden presentar fallas. Una falla es considerada, en términos generales como una desviación no permitida o indeseable de las características propias del proceso que puede ser el sensor, actuador, controlador o el sistema. Además, los lazos de control pueden ocultar las fallas hasta alcanzar un grado tal que produzcan una avería irreparable y que obligue a detener el sistema o proceso.

El diagnóstico de fallas es una solución a este problema por que permite detectar y localizar las fallas con el fin de evaluar sus efectos en el sistema. La evaluación de la falla permite decidir si es necesario un cambio del punto de operación, la reconfiguración de una parte del sistema o el mantenimiento antes de que el sistema sufra grandes cambios, se degrade o se colapse.

Actualmente, existe una creciente necesidad e interés en desarrollar sistemas de control que puedan operar de forma aceptable, incluso después de la aparición de una falla y que sean capaces de modificar, adecuar o parar el proceso antes de que se originen daños irreparables en el mismo. A este tipo de sistemas de control se les denomina tolerantes a fallas y contienen mecanismos que hacen que los sistemas de control sean más confiables [2].

2.2 CONCEPTOS BÁSICOS

Los siguientes conceptos son tomados de la terminología establecida por el comité técnico de la Federación Internacional de Control Automático (IFAC- por sus siglas en inglés), de Detección de Fallas, Supervisión y Seguridad para Procesos Técnicos (SAFEPROCESS- por sus siglas en inglés) alrededor de 1997 [3].

Falla: desviación no permitida de, al menos, una propiedad característica o parámetro de un sistema de su condición aceptable, usual o estándar.

Avería: interrupción permanente de la capacidad de un sistema para realizar una función requerida bajo las condiciones de operación específicas.

Falla abrupta: falla cuyo efecto aparece repentinamente (por ejemplo, modelado mediante un escalón).

Fallo incipiente: Falla cuyo efecto aparece progresivamente (por ejemplo, modelado mediante una rampa).

Diagnóstico de fallas: determinación del tipo, tamaño, localización e instante de aparición de una falla, incluye la detección, el aislamiento y la estimación de la falla.

Detección de fallas: determinación de la presencia de falla en el sistema, así como el instante de su aparición.

Aislamiento de falla: determinación del tipo, localización e instante de detección de la falla. Se realiza después de la etapa de detección.

Generación de residuos: proporciona información de la presencia e instante de aparición de la falla a través de una señal llamada “residuo”, algunas de las técnicas utilizadas son; observadores, ecuaciones de paridad, análisis en frecuencia etc.

Residuo: señal que contiene información de la falla basada en la desviación entre las mediciones de las entradas/salidas del sistema (comportamiento real) y estimaciones obtenidas mediante un modelo del mismo (comportamiento modelado). El residuo describe el grado de consistencia entre el comportamiento real y el modelado.

Residuo basado en modelo: utiliza el modelo matemático del sistema libre de falla para evaluar el residuo; las ventajas es la rapidez de respuesta y la detección múltiple y simultánea; la desventaja es que se necesita conocer los parámetros y el modelo.

Residuo basado en señales: utiliza el procesamiento de las señales medidas para generar residuos; la gran ventaja es que no se necesita conocer el modelo del sistema y la desventaja es que se necesita más procesamiento computacional para la evaluación.

Sistema tolerante a fallas: sistema que, ante la aparición de una falla, mantiene su función con o sin degradación de prestaciones, pero sin desembocar en una avería a nivel de subsistema o sistema.

Supervisión: es una actividad de alto nivel que engloba las actividades de monitorización (o vigilancia), la detección y diagnóstico de fallas y el control supervisor de planta.

Supervisor: entidad (humana o artificial) que realiza la supervisión de un proceso mediante el diagnóstico de fallas, determinación y ejecución de las acciones correctoras en presencia de fallas.

Acomodación: consiste en resolver el problema manteniendo la estructura del controlador y modificando únicamente los parámetros.

Reconfiguración: consiste en cambiar las entradas y salidas del controlador así como reajustar la ley de control en tiempo real.

El mecanismo de redundancia material o redundancia física; usa más de un instrumento independiente para conseguir una determinada función.

La reposición del elemento dañado; mecanismo tolerante que trata de mantener el sistema funcionamiento utilizando diferente actuadores (salidas) y/o sensores (entradas).

El mecanismo de redundancia analítica; usa dos o más formas, no necesariamente idénticas, para determinar una variable en donde se utiliza un modelo matemático del sistema de forma analítica.

Tolerancia activa a fallas: sistema tolerante a fallas con diagnóstico y acomodación explícita de los mismos.

Tolerancia pasiva a fallos: sistema tolerante a fallas sin diagnosis y acomodación explícita de los mismos. La tolerancia, en este caso, se basa en el diseño del controlador para que sea insensible (robusto) a un conjunto restringido de fallas.

2.3 FALLAS

Una falla en un sistema dinámico es una desviación de la estructura o parámetros de la planta en situación nominal. Desde el punto de vista estructural, una falla o avería se puede presentar como el bloqueo total o parcial de un actuador, la pérdida de un sensor o la desconexión de un componente del sistema en donde el conjunto de componentes de la planta o la interfaz entre planta y el controlador son afectados por la falla o avería. Por otro lado, los cambios paramétricos que ocurren por desgaste, modifican la dinámica de *entrada/salida* nominal de la planta y por lo tanto afectan el desempeño de un sistema en lazo cerrado, lo cual además resulta en una degradación, y en algunos casos, en la pérdida de la operación del sistema [4].

La distinción ente falla y avería es que la falla causa un cambio en las características de un componente tal que el modo de operación o desempeño del componente cambia de manera indeseada, sin embargo la operación del sistema puede continuar de manera degradada. Por el contrario, una avería describe la inhibición de un sistema o un componente para lograr su función, por lo que el sistema o componente tiene que ser deshabilitado completamente porque la avería es un evento irrecuperable, sin embargo se puede hacer un reemplazo en línea del componente dañado y continuar la operación sin operación degradada.

De manera general las fallas que ocurren en un sistema se pueden presentar en el sensor o en el actuador. Las fallas en la planta cambian las propiedades dinámicas de *entrada/salida* del

sistema; las fallas en los sensores no afectan las propiedades de la planta, pero la lectura de los sensores presentan errores muy sustanciales; la falla en los actuadores tampoco afectan las propiedades de la planta sin embargo la influencia del controlador sobre la planta es interrumpida o modificada.

Las fallas por su forma de aparición pueden dividirse en *fallas incipientes*, *abruptas*, *intermitentes* y *permanentes*: las *fallas incipientes* aparecen progresivamente como el modelado de una señal de tipo rampa; las *fallas abruptas* aparecen repentinamente como el modelado de una señal de tipo impulso; las *fallas intermitentes* aparecen de manera abrupta y consecutiva como en el caso de un tren de pulsos con intervalos aleatorios cortos; las *fallas permanentes* se presentan de manera abrupta y definitiva como el modelado de una señal de tipo escalón. Por otro lado, las fallas más comunes por el impacto que causan en la planta se pueden dividir en fallas *multiplicativas* y *aditivas* [5].

Cuando ocurre una desviación de un parámetro de la planta y éste es sustituido por la suma del valor nominal más la desviación provocada se le llama *falla multiplicativa* (figura 2.1 a). Ahora bien, cuando la desviación del parámetro de la planta se modela mediante una función que se introduce al sistema como una entrada desconocida adicional entonces se tiene una *falla aditiva* (figura 2.1b).

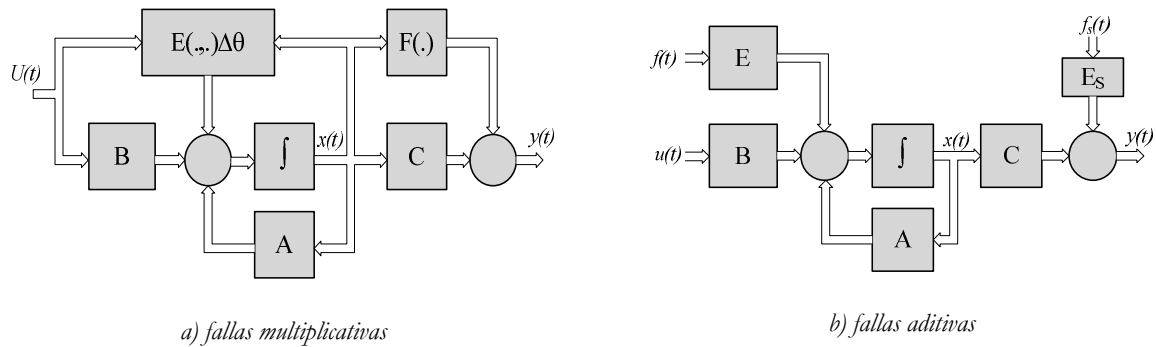


Figura 2.1. Fallas más comunes según el impacto en la planta.

Con respecto a las *fallas multiplicativas*, estas se pueden modelar de forma simple al considerar el concepto de falla igual a cambio del valor de un parámetro y con respecto a las *fallas aditivas*, estas se pueden modelar como entradas adicionales al proceso [6].

Comportamiento del sistema bajo falla

Desde el punto de vista del controlador según [4], la función operativa de la planta se debe mantener ante la falla denotada por f y el conjunto de todas las fallas denotadas por F . Por simplicidad de la representación en el caso libre de fallas también debe de ser incluido en el sistema F y es denotado por f_0 . Para el funcionamiento del sistema total es importante con que la *salida* de la planta $y(t)$ reaccione si éste obtiene su *entrada* $u(t)$, por lo que el par (u, y) representan la *entrada/salida* y el conjunto de todas los posibles pares de trayectorias u y y que podrían ocurrir para una planta dada se define por el sistema β . En la figura 2.2 se muestra una interpretación gráfica en donde el comportamiento β es un subsistema del espacio $u \times y$ de todas las posibles combinaciones de señales de entrada y salida. El punto A en la figura representa un solo par de *entrada/salida* que podría ocurrir para un sistema dado considerando que $C = (u_c, y_c)$ representa un par *entrada/salida* que no es consistente con la dinámica del sistema. Es decir, para la entrada u_c el sistema arroja una salida $y \neq y_c$.

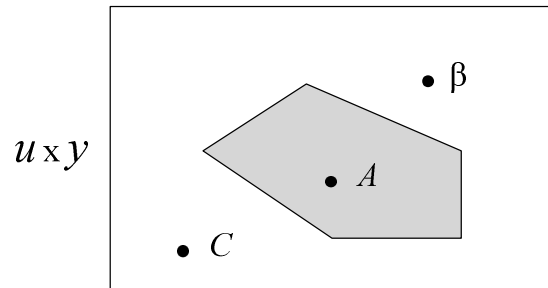


Figura 2.2. Ilustración gráfica del comportamiento del sistema.

Para ilustrar el comportamiento del sistema con más detalle, considere un sistema dinámico, el cual se describe por la siguiente ecuación.

$$y(t) = k_s u(t), \quad (1)$$

Donde k_s es la ganancia estática. La entrada y salida son elementos del conjunto de números reales \mathfrak{R} . El conjunto de todos los pares *entrada/salida* está dado por la siguiente expresión.

$$\beta = \{(u, y) : y = k_s u\}, \quad (2)$$

Esto puede ser representado gráficamente como una línea recta en el sistema coordenado u/y . La ecuación (1) describe cual de los valores u y y permanecen unidos. Por lo que si esta ecuación se satisface entonces se detecta una falla, por ejemplo si el par *entrada/salida* (u, y) medido no pertenece al comportamiento β como el par *entrada/salida* representado por el punto C en la figura 2.2.

Para un sistema dinámico el comportamiento es fuertemente afectado ya que el par *entrada/salida* tiene que incluir las funciones del tiempo $u(\cdot)$ y $y(\cdot)$ que representan las señales de entrada y salida. En un ajuste de tiempo discreto, la entrada u se representa por la secuencia de valores de entrada que ocurren en los instantes de tiempo $0, 1, \dots, k_h$,

$$U = (u(0), u(1), u(2), \dots, u(k_h)) \tag{3}$$

Donde k_h representa la secuencia del tiempo y generalmente es el instante de tiempo actual, hasta donde se almacena la secuencia de entrada. Asimismo, la salida se describe como sigue.

$$Y = (y(0), y(1), y(2), \dots, y(k_h)) \tag{4}$$

Consecuentemente, los espacios de señales \mathfrak{R} utilizados en el sistema estático tiene que ser remplazado por $u = \mathfrak{R}^{k_h}$ y $y = \mathfrak{R}^{k_h}$ para sistemas de una sola entrada y una sola salida SISO y por espacios de señales de dimensión más alta si el sistema tiene mas de una entrada y una salida. Entonces el comportamiento es un subsistema del producto cartesiano

$$u \times y = \mathfrak{R}^{k_h} \times \mathfrak{R}^{k_h} : \beta \subset \mathfrak{R}^{k_h} \times \mathfrak{R}^{k_h}.$$

El sistema β incluye todas las secuencias U y Y que pudieran ocurrir en una planta sin falla. Para sistemas dinámicos, el par *entrada/salida* es un par (U, Y) de secuencias en lugar de un par (u, y) de valores de señales actuales.

En la figura 2.3 se ilustra el cambio del comportamiento del sistema ante una falla del sistema de color blanco al sistema de color gris. Si se aplica una entrada común u al sistema libre y bajo falla, entonces ambos sistemas responden con salidas diferentes Y_A o Y_B , respectivamente. Los puntos $A = (U, Y_A)$ y $B = (U, Y_B)$ difieren y no coinciden en el sistema blanco y gris, respectivamente. Este cambio en el comportamiento del sistema hace que sea posible la detección y aislamiento de la falla, a menos que el par *entrada/salida* mienta entre la intersección de β_0 y β_f .

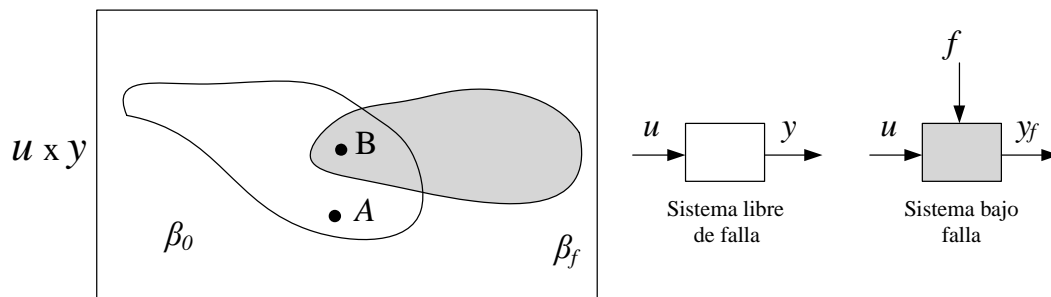


Figura 2.3. Sistema sujeto a fallas.

En un sentido estricto, una falla es la causa primaria de un malfuncionamiento. Sin embargo, se debe distinguir del efecto de una falla, la cual se obtiene a partir de un cambio del comportamiento de *entrada/salida*. Por lo tanto, en el diagnóstico de fallas tiene que rastrear la relación causa-efecto de la medición *entrada/salida*. La cual es diferente de la nominal a la causa primaria de este cambio, identificando así la falla.

2.4 DIAGNÓSTICO DE FALLAS

El término “diagnóstico” en el área de control automático y según la terminología establecida por la Federación Internacional de Control Automático (IFAC- por sus siglas en inglés), significa “Detección” y “Aislamiento” de la falla existente en un proceso. Donde la palabra “Aislamiento” no significa retiro de la falla sino la localización e identificación de la falla, pero se puede utilizar la palabra “diagnóstico” siempre y cuando se tenga al menos la detección y localización de la falla.

a) Esquema de diagnóstico

Para diagnosticar un sistema bajo la influencia de fallas, ruido y/o perturbaciones (figura 2.4), se necesita primeramente medir las señales de entrada y salida de un sistema y generar una señal que indique la presencia de alguna anomalía en el sistema, dicho residuo puede ser generado empleando técnicas basadas en el modelo o en las señales medidas. Después de esto, el residuo se evalúa por medio de pruebas estadísticas, clasificaciones de patrones y/o verificación de umbrales para generar síntomas que indican una determinada falla. Por último, estos síntomas son llevados a un bloque de decisión, el cual se encarga de localizar y estimar la falla, obteniendo con ello, el diagnóstico completo.

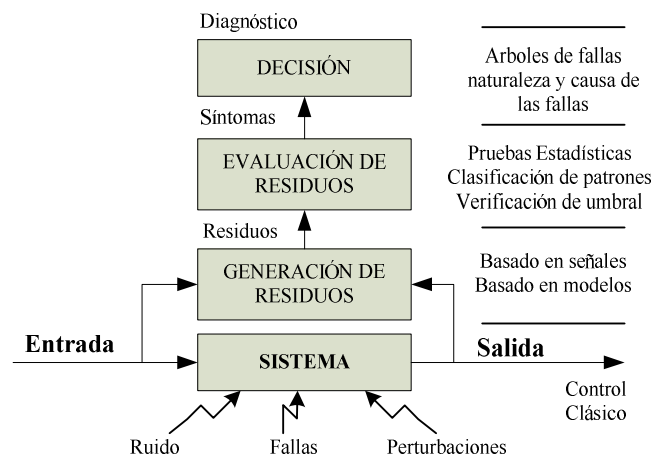


Figura 2.4. Diagrama general del diagnóstico de fallas.

b) Generación de residuos

Se le llama generador de residuos, al algoritmo capaz de extraer los síntomas de las fallas a través de una señal comúnmente llamada *residuo*, la cual hace uso de la información disponible de entradas y salidas de un sistema supervisado. Esta señal auxiliar está diseñada para reflejar el inicio de una posible falla y su magnitud es normalmente cero o cercana a cero cuando el sistema está libre de falla, y por el contrario, cuando un sistema se encuentra bajo falla ésta es muy distinta de cero. Lo anterior significa que el *residuo* es generalmente un valor cuantitativo que representa la inconsistencia entre las variables del sistema actual y las variables del modelo matemático que representa a la planta, como se muestra en la figura 2.5. Por lo tanto el *residuo* es independiente de entradas y salidas del sistema en condiciones ideales [3].

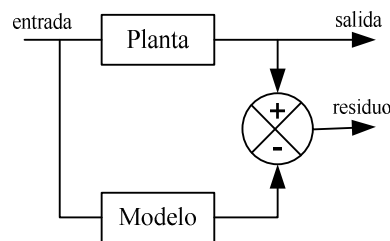


Figura 2.5. Generador de residuos.

Básicamente existen dos enfoques para detectar fallas y consisten en agregar redundancia ya sea de modelos físicos o analíticos.

c) Redundancia de modelos físicos o simplemente redundancia material

Las ventajas de la redundancia material son la confiabilidad y la simplicidad de implementación. Sin embargo, el costo y peso, así como la tecnología de fabricación de sensores y/o actuadores, son sus principales inconvenientes, en la figura 2.6 se presenta el diagrama a bloques de la forma de implementarlo [3]. Las señales de residuo se obtienen de las señales del sistema (enfoque señal); estas señales provienen de varios sensores que miden la misma variable.

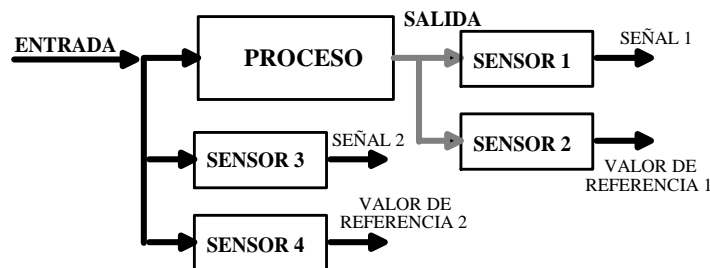


Figura 2.6. Forma de implementar la redundancia material.

El método más abordado en la literatura, para la evaluación de residuos, basado en la generación de señales medidas es la comparación de los sensores que miden la misma señal [7]. Esto aplica, si la señal tiene aproximadamente un valor constante (por ejemplo, voltaje, presión de aceite, temperatura), generalmente solo grandes fallas en el proceso pueden ser detectadas. Algunos ejemplos del uso de redundancia física, tales como la transformada de señales o medición del voltaje se muestran en el capítulo siguiente, en donde se presentan 4 técnicas de detección de fallas en los dispositivos de potencia aplicado a un sistema inversor trifásico conectado a un motor de inducción.

d) Redundancia de modelos analíticos o simplemente redundancia analítica

La redundancia analítica permite reemplazar la redundancia física por una redundancia informática. En este sentido, se puede hablar también de sensores virtuales, analíticos o computacionales [3]. En la figura 2.7 se presenta el diagrama a bloques de la forma de implementarlo. En este esquema los residuos se obtienen de la comparación de las señales medidas directamente del sistema y del empleo de modelos matemáticos del mismo sistema (enfoque modelo). Las señales provienen de varios sensores que miden variables diferentes. Esta técnica resuelve los inconvenientes que presenta la redundancia física, en cuanto a costo y el tipo de sensores, pero el principal inconveniente es el uso de un modelo matemático del sistema, el cual puede no representar el comportamiento total del sistema.

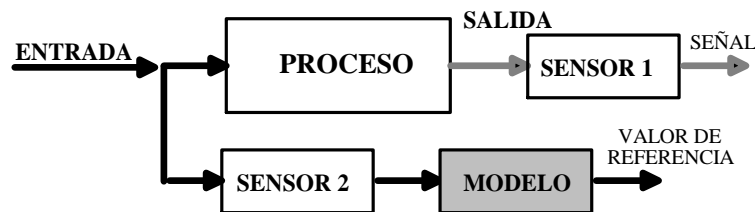


Figura 2.7. Forma de implementar la redundancia analítica.

Este tipo de propuesta ha sido ampliamente estudiada y continúa en investigación debido a las diversas maneras de representar el modelo del sistema. En este sentido, existe diversas clasificaciones de los métodos de diagnóstico de fallas según la técnica de detección basada en el modelo y va de acuerdo al área de interés que se este trabajando. En nuestro caso, la clasificación más adecuada, es la propuesta por [8], el cual hace la clasificación en tres grupos; basada en el modelo, la señal y el conocimiento, como se muestra en la figura 2.8.

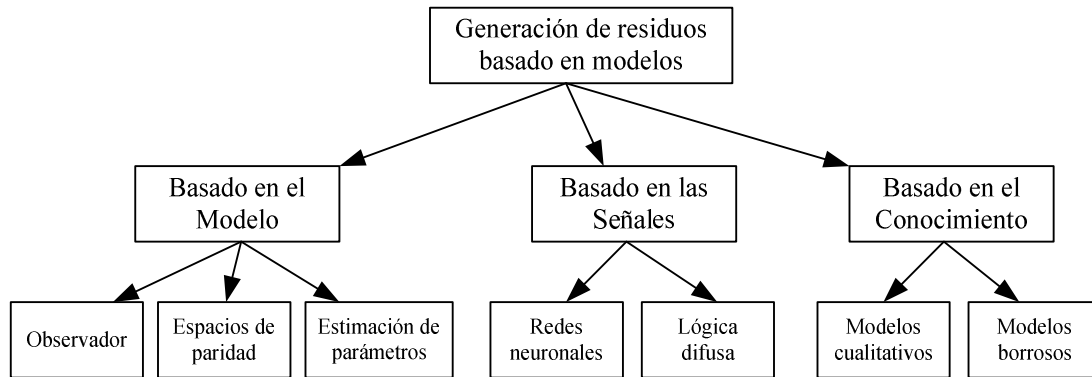


Figura 2.8. Clasificación de los diferentes métodos de generación de residuos.

e) Detección de fallas basado en el modelo

- **Observadores:** Se trata de un módulo capaz de generar una aproximación del vector de estados llamado observador o estimador. Este método permite la generación de residuos robustos respecto a los errores de modelado del proceso.
- **Espacio de paridad:** El espacio de paridad consiste en formar ecuaciones a partir del modelo del sistema, las cuales tienen que cumplirse si el funcionamiento nominal del sistema no se ve alterado por fallas. Existen tres versiones del espacio de paridad, la primera se basa en una representación interna del sistema, en lo que se conoce como variables de estado. La segunda versión se basa en la misma idea pero utilizando la representación externa y la tercera considera sistemas continuos y retrasos en las mediciones de la salida del sistema.
- **Estimación de parámetros:** En el caso de estimación paramétrica los parámetros nominales (sin falla) de un sistema son comparados a los estimados actuales. Si hay diferencia entre los parámetros se concluye una falla. Note que en este caso la localización puede llevarse a cabo de manera directa.

f) Detección de fallas basado en las señales:

- **Redes neuronales:** La idea básica consiste en encontrar un modelo del sistema basado en redes neuronales. Las redes neuronales son modelos matemáticos simplificados de las neuronas del cerebro humano y consisten generalmente en tres capas de elementos llamadas neuronas, los cuales están altamente interconectados. El modelo se obtiene cambiando la ponderación de las entradas de cada red hasta que el comportamiento de la red se asemeje al del sistema. Una vez que se tiene el modelo, la aplicación de la detección de fallas es similar a las ecuaciones de paridad.

- **Lógica difusa:** Permite mediante una nueva lógica a diferencia de la lógica tradicional, que una variable pertenezca a dos conjuntos basados en una función de transferencia. Es decir un elemento puede pertenecer a un conjunto en un porcentaje. La aplicación a la detección de fallas consiste en obtener un modelo difuso del sistema y entonces aplicar las mismas ideas que con las ecuaciones de paridad.
- g) Detección de fallas basado en el conocimiento:**
- **Modelo cualitativo:** Utiliza la información incompleta del sistema pero enfatiza las distinciones y relaciones primarias del proceso e ignora relaciones no importantes o desconocidas y aunque los modelos cualitativos son por naturaleza imprecisos, pueden estar capacitados para representar bien el comportamiento del proceso complejo. En este caso, se utilizan conjuntos de valores catalogados mediante un atributo (positivo, negativo, disminuye,...) en lugar de simples valores numéricos como elementos de base.
 - **Modelo borroso:** Estos son denominados también semicualitativos porque utilizan conjuntos de valores caracterizados por intervalos o por conjuntos borrosos.

La ventaja de la técnica empleando el modelo, es que existen métodos ya estudiados para generar residuos, como son las ecuaciones de paridad y el diseño de observadores los cuales simplifican en gran medida ésta tarea. Sin embargo, el problema radica en que es muy difícil diseñar un modelo que represente adecuadamente el comportamiento dinámico de procesos complejos.

Los sistemas basados en señales, tienen la ventaja de que no es necesario conocer el modelo del proceso. Sin embargo, el problema radica en que se necesita caracterizar el sistema, además de que el tiempo computacional aumenta debido a la complejidad de los algoritmos de procesamiento de señales.

Con respecto a los sistemas basados en el conocimiento, la ventaja es que, al igual que en caso anterior, no se necesita conocer el modelo. El problema, para este caso, radica también en que se necesita caracterizar el proceso, pero el tiempo computacional es menor si se utilizan modelos cualitativos.

De los tres enfoques de diagnóstico anteriores, destaca la técnica basada en señales como la más viable para implementarla en máquinas de inducción. Las herramientas utilizadas para este enfoque más comúnmente son; métodos estadísticos, la transformada rápida de fourier, Biespectro, análisis de alta resolución espectral y el análisis de wavelet. Sin embargo para una aplicación de un inversor trifásico tolerante a fallas en los dispositivos, la velocidad de

detección es sumamente importante, por lo que la técnica basada en el conocimiento con modelos cualitativos resulta atractiva.

2.5 MECANISMOS TOLERANTES

Hay dos tipos de mecanismos tolerantes. El primero es el *control tolerante* que a su vez se divide en *pasivo* y *activo*; el *pasivo* hace uso de control robusto, y el *activo* utiliza la reconfiguración del sistema y/o acomodación de los parámetros del control. Por otro lado, el segundo tipo de mecanismo tolerante es la *reposición del elemento dañado* el cual utiliza *redundancia analítica* o *redundancia material* para respaldar sensores y/o actuadores. La figura 2.9 muestra una posible clasificación de los mecanismos de tolerancia a fallas en donde se puede observar claramente las distintas herramientas matemáticas mas utilizadas para cada caso [9].

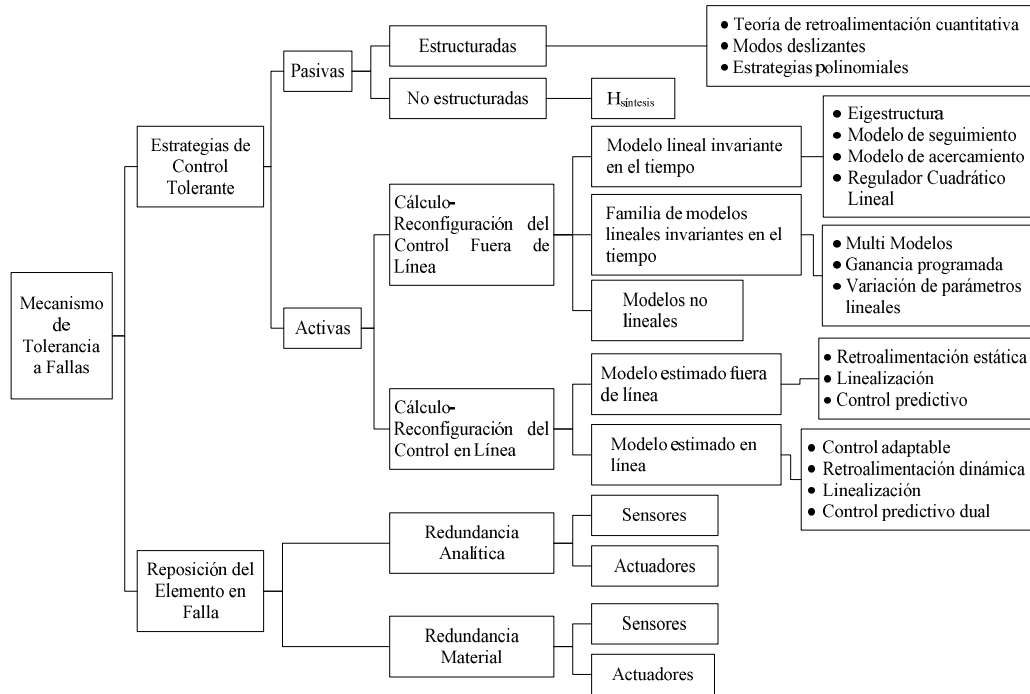


Figura 2.9. Clasificación de los mecanismos para control tolerante a fallas.

Actualmente en la literatura se han reportado muchos esquemas bajo el enfoque del *control tolerante* a fallas [4, 10, 11] y la *reposición del elemento dañado* utilizando *redundancia analítica* [12]. El problema es que la gran mayoría están orientadas a cargas que aceptan cierta degradación después de la falla y solo algunas esquemas se enfocan a cargas que no aceptan degradación bajo el enfoque de la *reposición del elemento dañado* en procesos específicos con

redundancia material estática como los TMRs (por sus siglas en inglés-Triple Modular Redundancy) de PLCs (Por sus siglas en inglés –Programmed Logic Controller-) para aplicaciones de baja potencia o con *redundancia material dinámica* como el frenado de automóviles ABS (por sus siglas en inglés – Antilock Brake Systems-) [13] para aplicaciones de mediana potencia. El punto importante es que el enfoque de *reposición del elemento dañado* no es aplicado aún para altas potencias.

a) Control tolerante a fallas

Existen dos enfoques para abordar el control tolerante, el enfoque *pasivo* y el *activo*; el enfoque *pasivo*, se basa en el diseño de un control que sea capaz de alcanzar sus objetivos tanto en condiciones normales como en presencia de falla. En tanto que el enfoque *activo* se basa en el diseño de una ley de control en función del estado del sistema en condiciones normales o bajo falla a partir de los parámetros y restricciones del sistema proporcionados por un agente diagnosticador. Es decir, el control tolerante *pasivo* se enfoca más por el control robusto [14] en donde los objetivos de control se cumplen siempre y la magnitud de ciertos parámetros inciertos o disturbios estén dentro de las condiciones de operación tolerantes y el control tolerante *activo* consiste en determinar el componente averiado, el tipo de avería, tamaño e instante de aparición, y a partir de dicha información, activar algún mecanismo tolerante, como la acomodación de los parámetros del sistema o la reconfiguración de las entradas/salidas de la planta o incluso, dependiendo de la gravedad, el bloqueo del sistema.

La acomodación a la falla consiste en resolver el problema manteniendo la estructura del controlador y modificando solamente los parámetros. Por otro lado, la reconfiguración consiste en cambiar las entradas y salidas del controlador así como reajustar la ley de control. Estos enfoques exigen disponer de un sistema de localización y detección de fallas que en tiempo real, pueda dar información a un sistema supervisor para que éste active algún mecanismo de acción correctora [4], [15].

Con respecto al sistema tolerante a fallas en los sensores y actuadores, existen dos mecanismos para tolerar una falla, la redundancia material y la redundancia analítica.

El mecanismo de redundancia analítica; consiste, para el caso de sensores, en la incorporación de un bloque que reconstruya la medición mediante la estimación de las mismas. Para el caso de los actuadores, consiste en el reajuste de señales alternativas para llevar a cabo la acción de control requerida, así se evita la incorporación de nuevo hardware en el sistema lo que se ve reflejado en los costos de instrumentación.

El mecanismo de redundancia material: consiste, para el caso de los sensores, en contar con un número generalmente impar de éstos cuya salida se multiplexa dentro de un bloque de decisión, en donde se determina la respuesta correcta a partir de las salidas más comunes de

estos mismos, a este proceso se le conoce simplemente como redundancia estática; para el caso de los actuadores, es más directo, pues en el caso de ocurrir una falla, éste se reemplaza totalmente, a este proceso se le conoce simplemente como redundancia dinámica.

En nuestro caso de estudio se considera sólo la redundancia dinámica porque los dispositivos de potencia de un inversor son mayormente los actuadores, aunque [16] considera que también son los sensores, considerando al interruptor como un sistema integral.

b) Esquema tolerante

Los esquemas tolerantes a fallas contienen varios niveles de supervisión, que proporcionan al control, características particulares, que de cierta manera, hacen más robusto al control ante problemas de ruido, fallas y perturbaciones en el sistema.

Los niveles de supervisión son monitorización, protección y supervisión; *la monitorización* se encarga de medir las variables del proceso y activar alarmas, *la protección* se encarga de salvaguardar el sistema mediante el paro total del sistema, y *la supervisión* tienen como tareas detectar y localizar la falla mediante el diagnóstico además de activar mecanismos tolerantes que pueden estar encaminados a las estrategias del control tolerante como la acomodación y/o reconfiguración [4] o encaminadas a la estrategia del reemplazo del elemento dañado, como la redundancia estática o dinámica.

En la figura 2.10 se muestra un esquema tolerante a fallas, que consiste de un sistema de control (nivel 1) dotado de un sistema supervisor (nivel 2) este último puede activar un mecanismo tolerante orientado tanto en la estrategia basada en el control tolerante, tomando en cuenta las fallas en el motor, o en la estrategia basada en el *reemplazo del elemento dañado*, tomando en cuenta las fallas en el inversor el cual es el caso de estudio en este trabajo.

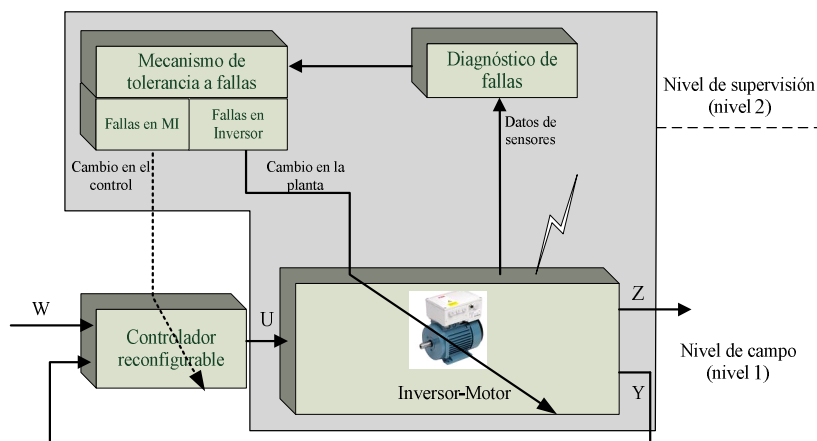


Figura 2.10. Sistema inversor-motor con mecanismo tolerante en los dispositivos.

El problema en un esquema tolerante es que el sistema de diagnóstico o FDI (por sus siglas en inglés- Fault Detection and Isolation) deben de ser lo más rápido posible para evitar que el proceso tenga daños aun mayores. Este problema se agrava considerablemente cuando se trata de procesos muy dinámicos, en donde una avería sólo puede ser soportada por algunos microsegundos, como en el caso del sistema inversor trifásico particularmente por averías fallas de tipo *dispositivo-en-corto*.

2.6 BIBLIOGRAFÍA

- [1] Vicen Puig, Joseba Quevedo, Teresa Escobet, Bernardo Morcego, Carlos Ocampo, “**Control Tolerante a Fallos (Parte I): Fundamentos y Diagnóstico de fallos, (Parte II): Mecanismos Tolerancia y Sistema Supervisor,**” CEA-IFAC 2004
- [2] J. Gertler, “**Analytical redundancy methods in failure detection and isolation,**” IFAC symposium SAFEPROCESS’91, Baden-Baden, Germany, 1991
- [3] Jie Chen and Ron J. Patton, **Robust Model-Based Fault Diagnosis for Dynamic Systems**, Kluwer Academic Publishers, 1999.
- [4] M. Blanke, M. Kinnaert, J. Lunze, M. Staroswiecki., “**Diagnosis and fault-tolerant control,**” Springer-Verlag. Germany, 2003.
- [5] Janos J. Gertler, **Survey of Model-Based Failure Detection and Isolation in Complex Plants**, *IEEE Control Systems Magazine*, Vol. 8, No. 6, 1988.
- [6] Efraín Alcorta G., **Detectando Fallas Mediante Redundancia Analítica**, Ingenierías, Vol. IV, No. 11, abril/junio del 2001, pp. 43–48.
- [7] J. Gerter “**Fault detection and diagnosis in engineering systems,**” USA, edit. Marcel Dekker Inc. 1998, Chap. 1, 2.
- [8] P.M. Frank “**Fault diagnosis in dynamic systems using analytical and Knowledge-based redundancy- a survey**” *Automática Journal of IFAC*, Vol. 26, issue 3, pp. 459-474, 1990
- [9] Vicen Puig, Joseba Quevedo, Teresa Escobet, Bernardo Morcego, Carlos Ocampo, “**Control Tolerante a Fallos (Parte II): Mecanismo de tolerancia y sistemas supervisor**”, *Revista Iberoamericana de Automática e Informática Industrial*, Vol. 1, Num. 2, Julio 2004, Parte II
- [10] H. Noura, D. Sauter, F. Hamelin, D. Theilliol. “**Fault tolerant control in dynamic systems: application to a winding machine**” *IEEE Control System Magazine*, vol. 20, n°1, pp. 33-49, 2000.
- [11] M. Rodrigues, D. Theilliol, M. Adam-Medina, D. Sauter, “**A fault detection and isolation scheme for industrial systems based on multiple operating models,**” Elsevier, *Control Engineering Practice*, Volume 16, Issue 2, February 2008, Pages 225-239
- [12] S. Ceballos, J Pou, E. Robles, I. Gabiola, J. Zaragoza, J.L. Villate, D. Boroyevich, “**Three-Level Converter Topologies With Switch Breakdown Fault-Tolerance Capability,**” *IEEE Transactions on Industrial Electronics*, Vol. 55, no.3, March 2008
- [13] R. Iserman, R. Schwart, S. Stölzl, “**Fault-tolerant Drive-by-Wire System,**” *IEEE Control System Magazine*, pp. 64-81, October 2002
- [14] Ron J. Patton “**What is Fault-Tolerant Control,**” *Safeprocess’2000 IFAC Symposium on Fault Detection Supervision and safety for Technical Processes*, Budapest, June 14-16, 2000, pp. 40-51
- [15] D. Theilliol, D. Sauter, J.C. Ponsar “**A Multiple Model Based Approach for Fault Tolerant Control in Nonlinear Systems,**” IFAC 2003, pp. 151-156
- [16] J. Aguayo: **Diagnóstico de fallas en un inversor a partir de los tiempos de conmutación en los dispositivos semiconductores.** Tesis doctoral, CENIDET México, Diciembre (2004)

Capítulo 3

TECNICAS DE DETECCIÓN DE AVERÍAS EN LOS INTERRUPTORES DEL INVERSOR TRIFÁSICO

En este capítulo se muestran las técnicas más importantes para detectar y localizar averías en los interruptores o Dispositivos Semiconductores Electrónicos de Potencia DSEP que constituyen un sistema inversor trifásico conectado a un motor de inducción. Las técnicas presentadas en esta sección son analizadas detalladamente y en la sección 3.6 se concluye con un análisis en sentido crítico tomando como base, la adecuación de las técnicas para un sistema tolerante a fallas con cargas críticas.

3.1 INTRODUCCIÓN

Como se ha mencionado anteriormente, la detección de fallas en un sistema tolerante es la etapa que introduce mayor tiempo de propagación porque en esta etapa se tiene el primer contacto físico con la falla y el elemento transductor generalmente requiere de un acondicionamiento de señales para la interpretación de la medición. En la literatura existen varias técnicas para detectar fallas particularmente en los DSEP de un inversor conectado generalmente a un motor de inducción y se pueden dividir en cuatro grupos: 1) basado en las trayectorias de las corrientes, 2) basado en la composición vectorial de los armónicos de voltaje, 3) basado en la medición de voltaje en los polos del inversor y 4) basada en los tiempos de conmutación del interruptor.

3.2 TÉCNICA 1: TRAYECTORIAS DE LAS CORRIENTES

La técnica parte del comportamiento del Dispositivo Semiconductor Electrónico de Potencia DSEP conectado a un motor de inducción, en especial cuando el interruptor no logra encender por avería en el dispositivo, particularmente por *dispositivo-abierto*, bajo el principio de que la corriente deja de ser sinusoidal [1]. Por ejemplo si la corriente de fase b es positiva ($I_b > 0$) y el interruptor $Q2$ del inversor de la figura 3.1 es inoperable, I_b es conectado al *bus de CD-* a través del diodo $D5$ en lugar de conectarse con el *bus de CD+*, consecuentemente I_b se abate hasta llegar a cero. Durante este lapso, la salida del controlador de corriente se incrementa de manera inversamente proporcional a valor positivo máximo hasta obtener un daño mayor en el inversor. Cuando la señal de referencia de la corriente cambia de signo, el interruptor $Q2$ no es utilizado e I_b es normalmente controlada porque en ese momento no se ejerce control en ese interruptor.

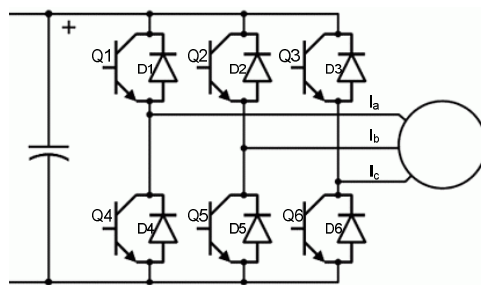


Figura 3.1. Inversor estándar conectado a un motor de inducción.

El hecho es que esta avería cancela la corriente en la fase dañada durante la mitad del periodo de la corriente, lo cual causa un *offset* de corriente continua en la fase dañada. Este *offset* se divide entre las fases en buen estado. La interacción de la componente de CD de corriente y

campo del rotor es generar un torque pulsante en la frecuencia de la corriente del estator. Por otro lado, la componente de CD de corriente genera un estrés de corriente distinto en los interruptores de arriba y abajo del inversor lo cual puede causar defectos por sobre temperatura en esos interruptores. En este sentido una técnica para detectar y localizar la falla es mediante el seguimiento de las trayectorias de corriente utilizando la transformada de Clark.

La transformada de Clark es un sistema que transforma un sistema trifásico (I_a, I_b, I_c) a un sistema de dos fases (I_α, I_β) a partir de la consideración de la secuencia cero de voltaje en un sistema equilibrado $(I_a + I_b + I_c = 0)$.

La transformación de las fases de corriente ABC a $\beta\alpha$ parte de las ecuaciones (1) y (2).

$$I_\alpha = I_a \cdot \sqrt{\frac{3}{2}} \quad (1)$$

$$I_\beta = I_b \cdot \sqrt{2} + I_a \cdot \frac{1}{\sqrt{2}} \quad (2)$$

Es importante mencionar que la corriente es constantemente muestreada por lo se debe considerar que el Area esta limitada desde un valor anterior $(k-1)$ hasta un valor actual (k) donde:

$$Area = \frac{I\alpha_k - I\alpha_{(k-1)}}{I\beta_k - I\beta_{(k-1)}} \quad (3)$$

En el caso libre de fallas las corrientes del motor son sinusoidales y consecuentemente la trayectoria de corriente es un círculo como se muestra en la figura 3.2.

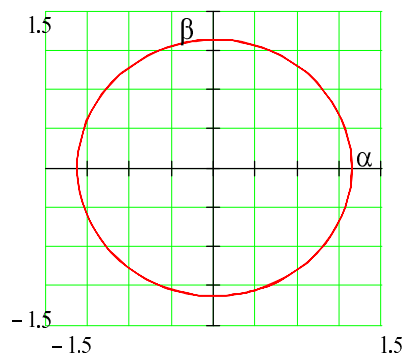


Figura 3.2. Trayectoria de las corrientes libre de fallas por dispositivo-abierta.

De manera general existen 3 posibles casos de fallas en las fases I_a ó I_b ó $I_c = 0$.

Caso 1 ($I_a = 0$)

De aquí (1) se anula y se tiene que:

$$I_\alpha = 0 \tag{4}$$

Con respecto a la expresión (2) se tiene ahora que la expresión resultante sólo está en función de I_b como se muestra en la siguiente ecuación.

$$I_\beta = I_b \cdot \sqrt{2} \tag{5}$$

De aquí se aprecia que la pendiente con respecto I_b es constante.

$$\frac{I_\beta}{I_b} = \sqrt{2} \tag{6}$$

En la figura 3.3 se muestran las trayectorias de las corrientes $\beta\alpha$ cuando ocurre avería en $Q1$ ó $Q2$.

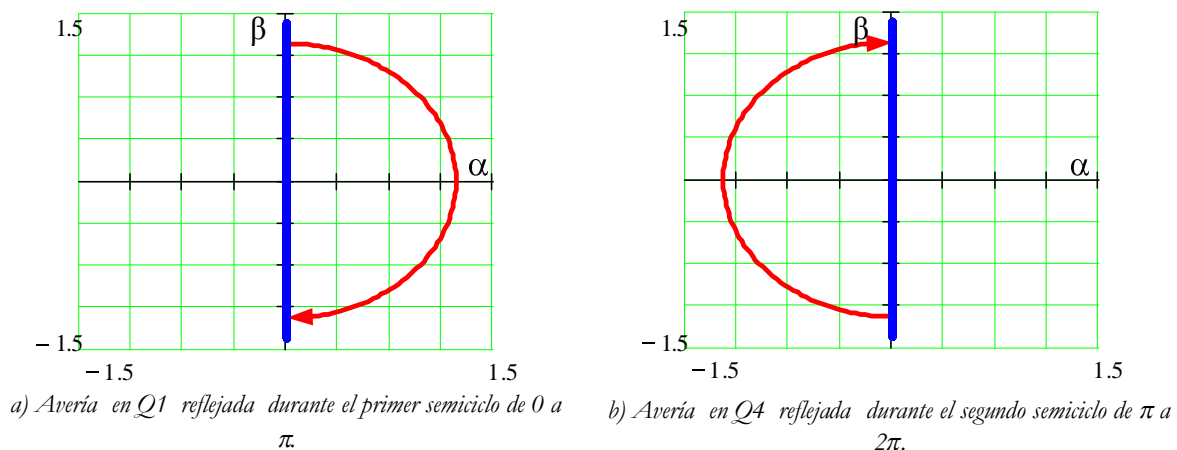


Figura 3.3. Trayectoria de la corriente $\beta\alpha$ con avería en $Q1$ y $Q4$ respectivamente.

Caso 2 ($I_b = 0$)

De aquí, (1) no se modifica y permanece tal cual:

$$I_\alpha = I_a \cdot \sqrt{\frac{3}{2}} \quad (7)$$

Pero (2) se reduce a la siguiente expresión:

$$I_\beta = I_a \cdot \frac{1}{\sqrt{2}} \quad (8)$$

Para obtener la relación $\beta\alpha$ se despeja I_a de (7) y se sustituye en (8) de esta manera se genera la expresión (9) y (10).

$$I_\beta = I_\alpha \frac{1}{\sqrt{3}} \quad (9)$$

$$\frac{I_\beta}{I_\alpha} = \frac{1}{\sqrt{3}} \quad (10)$$

Donde $1/\sqrt{3}$ determina la amplitud y al mismo tiempo establece la pendiente en la condición bajo falla.

En la figura 3.4 se muestran las trayectorias de las corrientes $\beta\alpha$ cuando ocurre avería en $Q2$ o $Q5$.

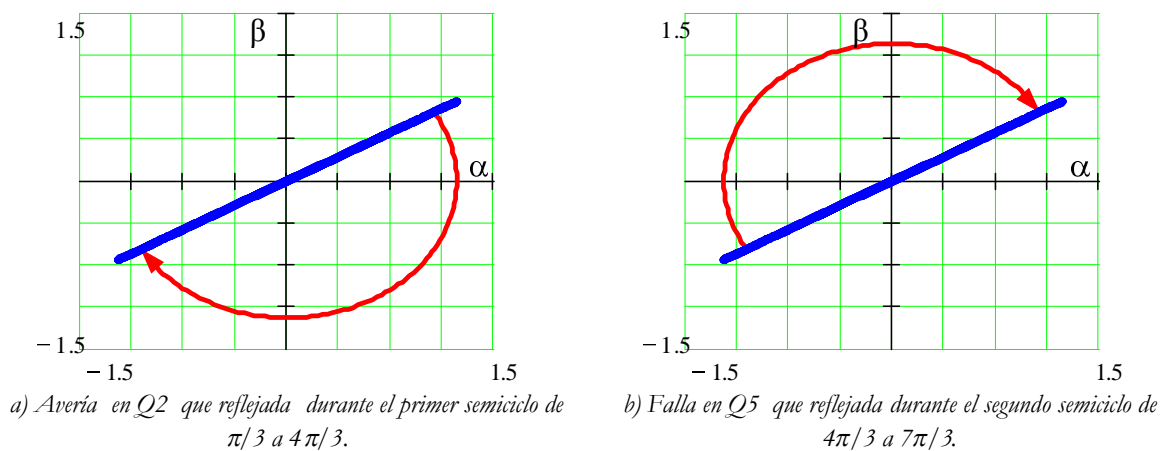


Figura 3.4. Trayectoria de la corriente $\beta\alpha$ con avería en $Q2$ y $Q5$ respectivamente.

Caso 3 ($I_c = 0$)

En este caso, las expresiones (1) y (2) no contemplan la corriente de I_c . Sin embargo, para evitar un desbalance en la secuencia cero de voltaje se tiene que la transformada de Clark establece la siguiente expresión.

$$I_\beta = -I_\alpha \sqrt{3} \tag{11}$$

Entonces la relación $\beta\alpha$ es:

$$\frac{I_\beta}{I_\alpha} = \frac{-1}{\sqrt{3}} \tag{12}$$

Donde $-1/\sqrt{3}$ determina la amplitud y al mismo tiempo establece la pendiente en la condición bajo falla. En la figura 3.5 se muestran las trayectorias de las corrientes $\beta\alpha$ cuando ocurre avería en $Q3$ ó $Q6$.

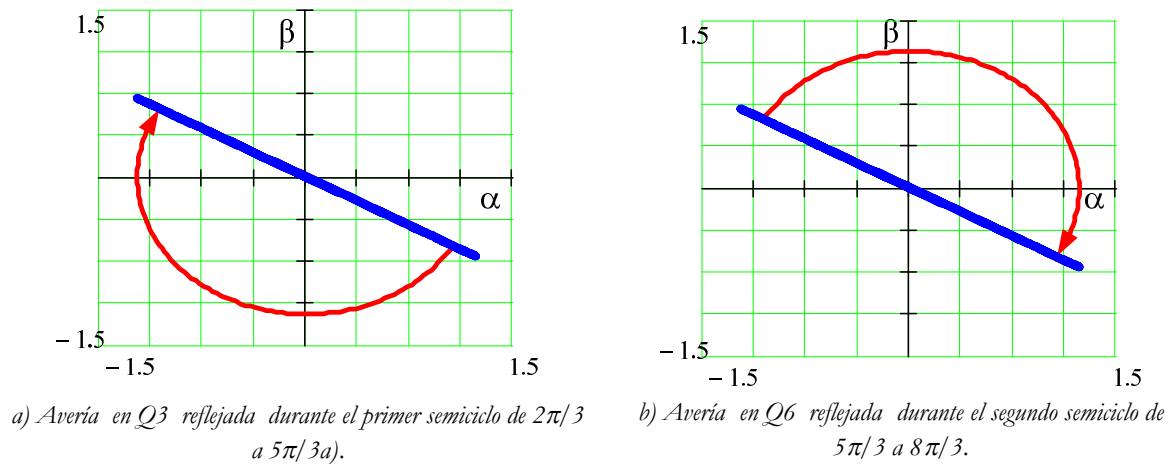


Figura 3.5. Trayectoria de la corriente $\beta\alpha$ con avería en $Q3$ y $Q6$ respectivamente.

Cuando ocurre una avería en las fases, teóricamente la corriente de cada fase tiende a cero, sin embargo puede existir un *offset* en la corriente de la fase dañada lo cual inyecta un cierto corrimiento de las figuras características de las trayectorias de corriente. Por ejemplo, si durante una avería en la fase a $I_a = 0 + offset$, entonces

$$I_\alpha = I_o \tag{13}$$

Así, el resultado es la expresión siguiente:

$$I_{\beta} = I_b \cdot \sqrt{2} + \frac{I_o}{\sqrt{2}} \quad (14)$$

En la figura 3.6 se muestra la trayectoria de la corriente con su respectivo corrimiento donde el medio círculo indica la referencia en condición bajo falla, y al presentarse la avería se tiene un corrimiento vertical en el plano $\beta\alpha$.

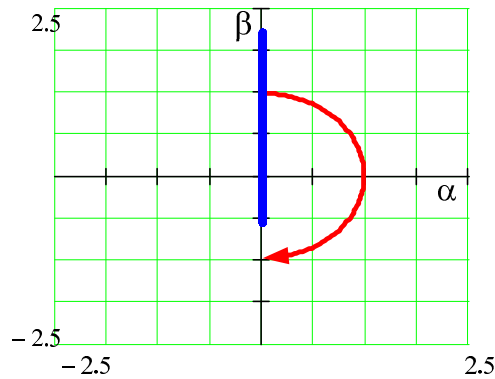


Figura 3.6. Trayectoria de la corriente $\beta\alpha$ cuando la avería en $Q1$ presenta un error de offset $I_a = I_o$.

De las trayectorias anteriores resulta evidente observar que cuando se presenta una avería en alguna fase (fase abierta) después de medio ciclo, la pendiente I_{β}/I_{α} es constante con diferente magnitud, es decir para una avería en la fase a la pendiente es infinita porque $I_{\alpha}=0$ pero la magnitud de la trayectoria con respecto a I_b es $\sqrt{2}$ veces. Con respecto a la avería en la fase b ($I_b=0$) la magnitud de I_{β} es $1/\sqrt{3}$ veces I_o , finalmente cuando se daña la fase c se tiene una magnitud de $-1/\sqrt{3}$ veces I_{α} con una pendiente negativa.

De forma experimental resulta muy simple determinar la fase dañada con tan solo medir la magnitud de la I_{β} . Sin embargo, la localización del dispositivo dañado no es tan sencilla porque es necesario observar en cuál semiciclo se presenta la avería, lo que conduce a estar supervisando la trayectoria constantemente antes de la falla ($k-1$). Lo anterior se logra con un muestreo inferior a $\pi/3$ y almacenar temporalmente y utilizar dicho dato después de la detección de la fase dañada.

La localización del dispositivo dañado no introduce un retraso significativo en la medición porque se toma valores anteriores y la evaluación se da por comparación del valor

anterior (k-1) con un valor actual (k). Sin embargo, es importante resaltar que es necesario al menos $\frac{1}{2}$ ciclo de línea para detectar la fase dañada, además la etapa de medición de corriente introduce un retraso debido al filtro de entrada. En conclusión, esta técnica no aplica para averías por *dispositivo-en-corto* y el tiempo estimado para la detección es superior a 8.33 ms ($\frac{1}{2}$ ciclo de línea) más el retraso que introduce el filtro de la etapa del sensor de corriente más el tiempo computacional que involucran la transformada de Clark y el tiempo de muestreo del sistema de procesamiento digital. El autor en [1] implementó la técnica presentada en este trabajo y reporta un tiempo de detección igual a 20 ms. lo cual está muy por arriba del valor mínimo de detección establecida por la técnica (8.33 ms). Esto es porque todo el procesamiento de las señales se realizó utilizando una tarjeta de adquisición de datos y una PC normal en lugar de un FPGA para disminuir al máximo el tiempo de detección. Sin embargo, es importante resaltar que en esta técnica, la detección temprana para este tipo de fallas (*dispositivo-abierto*) no es relevante porque no se establecen condiciones peligrosas de operación durante la falla, como ocurre en la avería por *dispositivo-en-corto*.

3.3 TÉCNICA 2: COMPOSICIÓN VECTORIAL DE LOS ARMÓNICOS DE VOLTAJE

Esta estrategia se basa en las características de las formas de onda de salida, particularmente la componente significativa de la frecuencia de conmutación al presentarse una avería por *dispositivo-en-corto* [2].

La técnica de detección consiste en medir la magnitud de la componente y compararla con un nivel de umbral y para determinar la localización del elemento dañado se utiliza la existencia del recorrimiento de fase del voltaje interno para cada rama o celda.

$$V_{celda1} = (0^0), V_{celda2} = (-120^0), V_{celda3} = (+120^0) \quad (15)$$

El principio de detección consiste en hacer la medición del voltaje de salida utilizando un circuito electrónico con un filtro de entrada y sintonizado a por lo menos tres veces la frecuencia de conmutación, posteriormente a esta señal se le aplica una transformación lineal para obtener un diagrama vectorial instantáneo de la componente de la frecuencia de conmutación utilizando la expresión (16). En la figura 3.7 se muestra el voltaje de salida filtrado resaltando los puntos cuando $V_{sf} = 0$ ó $T/3$ ó $2T/3$.

$$\bar{V}_{sf} = \frac{2}{3} \left[v_{sf}(t=0) + v_{sf}\left(t = \frac{T}{3}\right) \cdot e^{-j\frac{2\pi}{3}} + v_{sf}\left(t = \frac{2T}{3}\right) \cdot e^{j\frac{2\pi}{3}} \right] \quad (16)$$

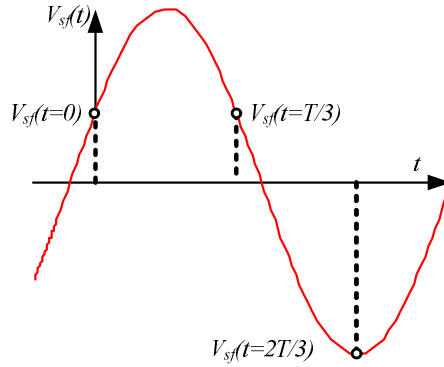


Figura 3.7. Voltaje de salida filtrado remarcando los puntos cuando $V_{sf} = 0$ ó $T/3$ ó $2T/3$.

Donde v_{sf} es el voltaje de salida filtrado a la frecuencia de conmutación de una fase. Por ejemplo para $v_{sf} = V_{sf \max} \cdot \cos(\omega_{sf} t + \phi)$ la expresión (16) resulta en la siguiente ecuación.

$$\bar{V}_{sf} = V_{sf \max} e^{j\phi} \quad (17)$$

La magnitud del vector (17) se compara con el nivel de umbral de avería. Para esto siempre está presente una componente pequeña a la frecuencia de conmutación en estado estable debido al tiempo muerto y a las ondulaciones a través de los capacitores.

Antes que nada, para evitar alarmas falsas, se debe considerar el tiempo muerto y las ondulaciones a través de los capacitores porque siempre existen pequeñas componentes en la frecuencia de conmutación. Otro punto que se debe tomar en cuenta es que la rápida variación del voltaje de salida genera una componente armónica transitoria.

La localización se deriva del defasamiento de la fase del vector v_{sf} según (16) y (17). La figura 3.8 muestra los tres sectores de avería en las celdas o componentes. En donde se puede observar que la detección y localización es un método general y puede ser aplicado para un número de celdas mayores que tres.

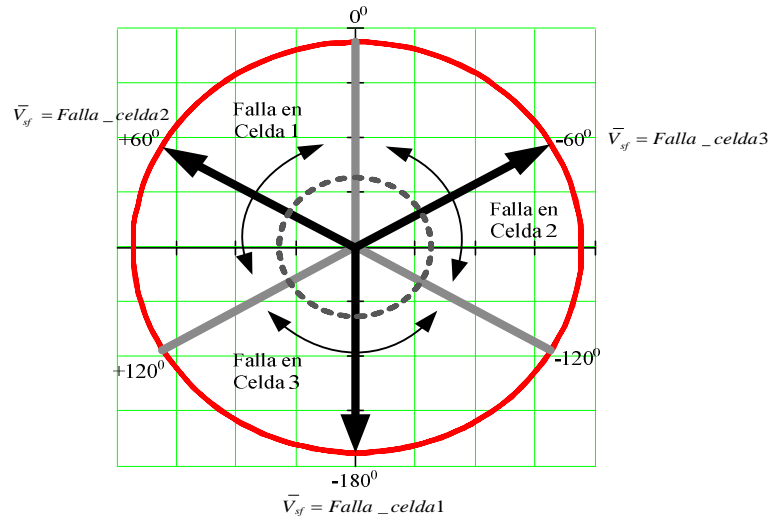


Figura 3.8. Estrategia de detección y localización utilizando la composición vectorial de los armónicos de voltaje a la frecuencia de conmutación.

Con respecto a la detección y localización se concluye que el tiempo de retardo está determinado principalmente por el tiempo de evaluación para la localización de la falla, la cual comprende un rango de medición de $T/3$ (120°). De igual manera que en el caso de la técnica de las trayectorias de corriente, un retraso adicional es obviamente el filtro de la etapa del sensor de corriente más el tiempo computacional que involucran la transformada lineal para obtención del vector dentro del sistema de procesamiento digital. El autor en [2] reporta que la detección se obtiene en 7 periodos de conmutación utilizando un FPGA, es decir para un sistema trabajando a 20Khz el tiempo de detección sería de $200 \mu s$, pero la localización de la falla agrega $5.5 ms$ haciendo un total de $5.7 ms$. Lo que hay que resaltar de esta técnica es que sólo se necesitan tres sensores de voltaje para el caso de un sistema inversor PWM multicelda.

3.4 TÉCNICA 3: MEDICIÓN DE VOLTAJE EN LOS POLOS DEL INVERSOR

La técnica se fundamenta en el efecto que causa una avería por *dispositivo-abierto* en una señal de error, la cual se obtiene por comparación entre el voltaje de polo (Voltaje intermedio del la rama) y el voltaje de referencia del patrón PWM utilizada como señal de comando. Aplicado a un inversor trifásico [3]. En la siguiente ecuación se muestra una expresión generalizada.

$$v'_{j0} = v_{j0} \pm \Delta v_{j0} \tag{18}$$

Donde

- j Corresponde a la fase 1, 2 o 3.
- v'_{j0} Voltaje visto desde el polo de la fase j a tierra (0 v) después de la avería.
- v_{j0} Voltaje visto desde el polo de la fase j a tierra (0 v) en condición libre de falla.
- $\pm\Delta v_{j0}$ Representación del desvío en el voltaje de polo debido a falla en el interruptor.

En la figura 3.9 se muestra un inversor trifásico en donde se muestran los términos empleados y ubica la falla por *dispositivo-abierto* y *dispositivo-en-corto*.

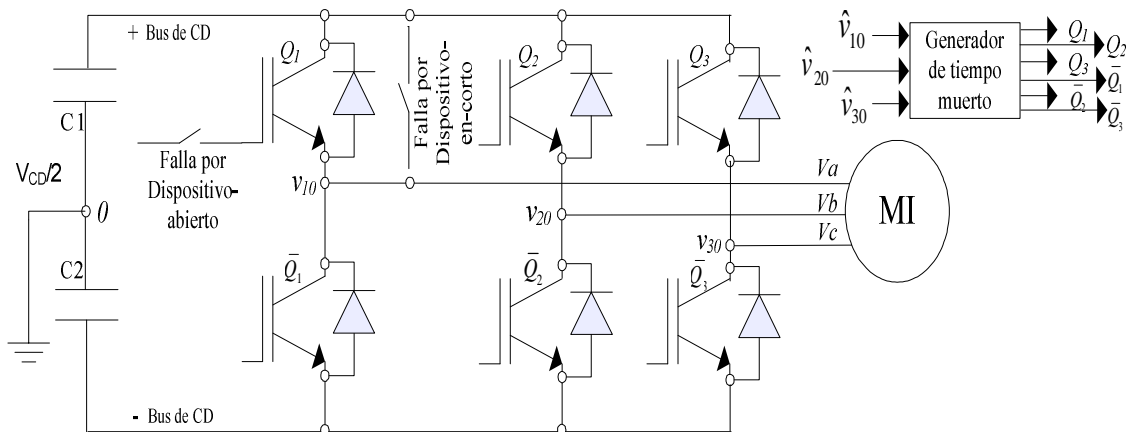


Figura 3.9. Ubicación de términos en el sistema inversor y ubicación de averías soportadas.

La determinación de la presencia de falla se puede obtener por determinación del error de voltaje entre la medición del voltaje del polo v'_{j0} y su respectivo voltaje de referencia \hat{v}_{j0} . Este error se puede expresar de la siguiente manera:

$$e_{j0} = \hat{v}_{j0} - v'_{j0} = \pm\Delta v_{j0} + \epsilon_{jd} \tag{19}$$

Donde ϵ_{jd} es el error en forma discreta que se introduce por la medición y la técnica de modulación PWM empleada. Este error se puede minimizar utilizando un procedimiento de calibración sobre el módulo de adquisición de datos, de tal manera que el error final pueda ser aproximado a $\pm\Delta v_{j0}$. De esta manera, la localización de la avería se obtiene fácilmente mediante el análisis de este error. En la figura 3.10 se muestra el diagrama a bloques del sistema

de diagnóstico, basado en el análisis del error de voltaje e_{j0} en donde se contempla una ventana de detección con histéresis para generar una señal de residuo e'_{j0} la cual es evaluada utilizando un Sistema de Identificación de Fallas (SIF) con la intención de generar una señal de decisión compuesta por una palabra de tres bits f_{w1} , f_{w2} y f_{w3} la cual determina la detección y localización de la falla. La tabla 3.1 muestra cómo la desviación $\pm\Delta v_{j0}$ se propaga dentro del error de voltaje e_{j0} . Los errores que se muestran en dicha tabla pueden ser positivos o negativos durante diferentes intervalos de tiempo y son causados por la pérdida de los interruptores Q_j ó \bar{Q}_j .

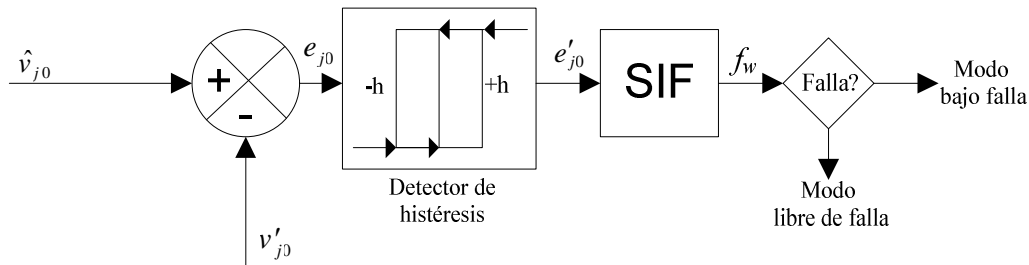


Figura 3.10. Diagrama a bloques del sistema de diagnóstico.

Tabla 3.1. Tabla de decisión para el diagnóstico de avería por dispositivo-abierto.

Interruptor bajo falla (Q_j o \bar{Q}_j)	Error $e_{j0} = \hat{v}_{j0} - v'_{j0}$			Decisión de diagnóstico f_{wj}		
	e_{10}	e_{20}	e_{30}	f_{w1}	f_{w2}	f_{w3}
Q_1	$+\Delta v_{10}$	0	0	1	0	0
Q_2	0	$+\Delta v_{20}$	0	0	1	0
Q_3	0	0	$+\Delta v_{30}$	0	0	1
\bar{Q}_1	$-\Delta v_{10}$	0	0	0	1	1
\bar{Q}_2	0	$-\Delta v_{20}$	0	1	0	1
\bar{Q}_3	0	0	$-\Delta v_{30}$	1	1	0
Libre de falla	0	0	0	0	0	0

Para prevenir una alarma falsa en la señal de decisión de diagnóstico, el valor de f_w bajo falla se amarra al valor de falla durante al menos $\frac{1}{4}$ de ciclo de línea y posteriormente se emite el veredicto de diagnóstico. Otro punto importante a resaltar es que el error $e_{j0} = +\Delta v_{j0}$ o $-\Delta v_{j0}$ no necesariamente implica un *dispositivo-abierto* en Q_j o \bar{Q}_j respectivamente. Porque la presencia de un *dispositivo-en-corto* en Q_j o \bar{Q}_j impacta en un error contrario, es decir el error

$e_{j0} = -\Delta v_{j0}$ o $+\Delta v_{j0}$ respectivamente. Por lo que esta técnica solo es empleada para fallas por *dispositivo-abierto*.

De cualquier manera, el autor de esta técnica reportó un tiempo de detección aproximado de 4 *ms* equivalentes a $\frac{1}{4}$ de ciclo de línea. En este sentido, la velocidad de detección de falla por *dispositivo-abierto* no es muy crítica por el hecho de que no se establece un corto entre el *bus de CD* a través de los interruptores.

3.5 TÉCNICA 4: TIEMPOS DE CONMUTACIÓN DEL INTERRUPTOR

Esta técnica se sustenta sobre la base del método “actuador como sensor” [4], [5] en donde se considera al convertidor como el elemento “actuador” y debido a que los DSEP son parte fundamental del convertidor, se puede decir que éstos elementos también son de cierta manera “actuadores”. Adicionalmente, el voltaje entre las terminales del DSEP son utilizadas como elementos de sensado. Por lo tanto, en esta técnica se utiliza el sensado en el actuador. Por lo que el diagnóstico de fallas se lleva a cabo mediante la observación de las señales características de encendido en estado estable de los DSEP. Además se complementa un análisis utilizando el modelo del sistema para una mejor detección de las fallas. La figura 3.11 muestra el diagrama a bloques del generador de residuos, en donde el método de solución combina por un lado la parte de modelo paralelo con las ecuaciones de paridad del sistema (ecuaciones básicas del sistema) [4], [6] y por otro lado la observación del comportamiento de los DSEP en el inversor como actuador.

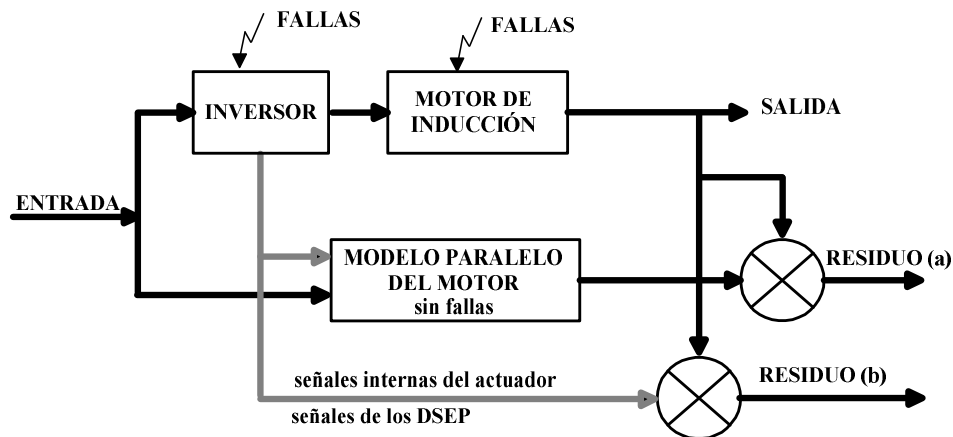


Figura 3.11. Diagrama a bloques de la técnica propuesta.

El siguiente paso, después de la generación de residuos, es la etapa de evaluación de residuos, el cual consiste en definir el valor del límite o umbral de los residuos por medio de ventanas móviles. Para ésta técnica, una ventana concentra dos conmutaciones del convertidor (una de encendido y una de apagado), además debido a que las conmutaciones son en tiempos

variables (en función del PWM), se emplea el concepto de ventana móvil. Para evitar falsas alarmas, se requiere que cada conmutación se evalúe dos veces, por lo tanto se propone un tiempo de traslape de una conmutación (ya sea en el encendido o en el apagado) entre ventanas.

En la figura 3.12 se presenta el principio de operación de las ventanas móviles descrita anteriormente. En cada uno de los tiempos marcados ($t1$, $t2$, ... $t6$) se presenta una conmutación. Cada cambio en la señal de voltaje de alto a bajo es una conmutación al encendido, cada cambio en la señal de voltaje de bajo a alto es una conmutación al apagado. El ancho de la ventana 1 es de dos conmutaciones (una de encendido y una de apagado), por lo tanto la ventana 1 inicia desde antes de $t1$, hasta un poco después de $t2$. Para la ventana 2, el ancho es desde antes de $t2$, hasta $t3$, por lo que se tiene una redundancia en la medición de la conmutación que ocurre en $t2$. Para la ventana 3, el ancho es desde antes de $t3$, hasta $t4$ (abarca dos conmutaciones), de la misma manera que en la ventana 2, se presenta un traslape de una conmutación (en $t3$). Como se puede observar cada conmutación se evalúa dos veces, con el fin de evitar alarmas falsas, pero esto implica un tiempo mayor de detección y si se trata de una avería por dispositivo-en-corto la propagación de la falla al dispositivo complementario de la misma rama sería inevitable.

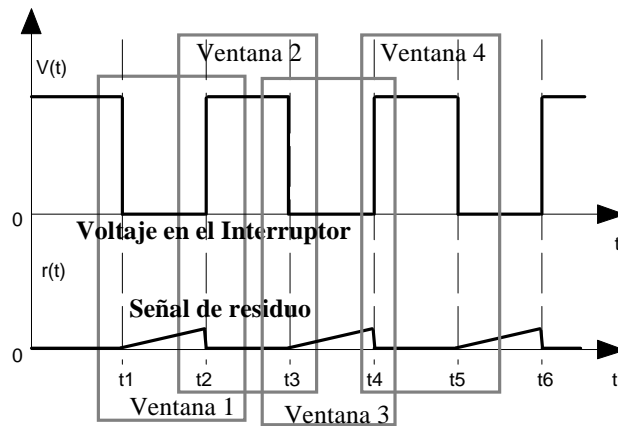


Figura 3.12. Definición de ventanas móviles sobre las señales de conmutación.

La intención de las ventanas de detección es generar dos residuos ($r1$ y $r2$) que a continuación se describen:

Residuo 1

Se obtiene a partir de la relación que existe entre la tensión de compuerta del DSEP (V_{GE}) y la tensión entre el colector y emisor del mismo componente (V_{CE}), ésta relación se describe por la siguiente expresión.

$$V_{GE} = (a1)V_{CE} + (a2) = PWM \quad (20)$$

Donde:

$(a1)$ y $(a2)$	Son constantes que dependen del comportamiento en conmutación de los DSEP
V_{GE}	Voltaje entre las terminales de compuerta y emisor.
V_{CE}	Voltaje entre las terminales de colector y emisor.
V_{PWM}	Voltaje del controlador.

El valor de α depende del voltaje de la fuente de alimentación y de la carga, mientras que β depende del voltaje de conducción del DSEP. Además los DSEP son controlados por una señal que cambia el ancho de su pulso con respecto al tiempo (PWM senoidal). Si se considera que $a1 = 1$ y $a2 = 0$ (caso para un interruptor ideal) se presenta que el voltaje a la salida del convertidor es igual al voltaje del controlador PWM ($V_{CE} \cong V_{PWM}$). En este punto, cabe mencionar que el PWM empleado es el que proporciona un voltaje de dos niveles a la salida del convertidor. Bajo este criterio, es posible la obtención de una expresión que relacione a estas dos cantidades y brinde un buen indicador de alguna mala operación, tanto de la parte del controlador como de los DSEP.

Debido a que las formas de onda del voltaje de la compuerta (V_{GE}) y el voltaje de colector (V_{CE}) son de magnitudes diferentes, se normalizan en el intervalo de $[-1, 1]$ (\bar{V}_{GE} y \bar{V}_{CE}) y se comparan, la forma de la señal comparada determina el tipo de falla de pérdida de secuencia (*dispositivo-abierto* o *dispositivo-en-corto*).

Dependiendo de los resultados proporcionados por la comparación de V_{GE} contra V_{CE} , existen tres casos posibles a analizar, los cuales se describen a continuación:

Caso 1: Cuando ($r1 = \bar{V}_{GE} - \bar{V}_{CE} = 0$)

Cuando \bar{V}_{GE} y \bar{V}_{CE} son iguales, la diferencia es cercana a "0", por lo tanto el interruptor opera en forma adecuada, se considera que el sistema se encuentra libre de fallas en el convertidor. La figura 3.13 muestra las formas de onda del V_{GE} y V_{CE} normalizadas para este caso.

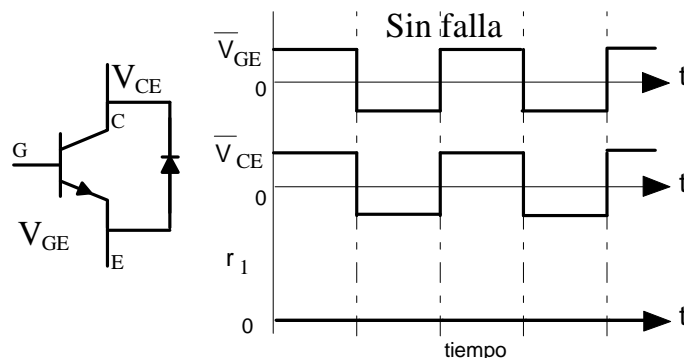


Figura 3.13. Caso libre de falla en los interruptores.

Caso 2: Cuando ($r1 = \bar{V}_{GE} - \bar{V}_{CE} < 0$)

Cuando se presenta una diferencia entre las señales sensadas (por ejemplo el valor de V_{CE} permanece en un valor positivo), se considera que el sistema se encuentra bajo la influencia de alguna falla, debido a que el DSEP no responde adecuadamente a la señal de control (el DSEP responde a una avería por *dispositivo-abierto*). La diferencia de las señales adquiere un valor negativo. La figura 3.14 muestra las formas de onda del V_{GE} y V_{CE} normalizadas para este caso.

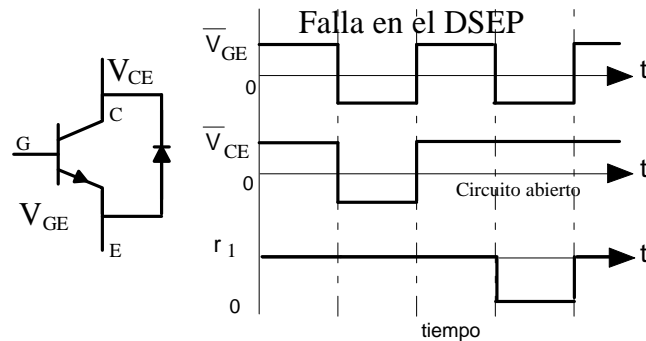


Figura 3.14. Caso bajo falla por dispositivo-abierto.

Caso 3: Cuando ($r1 = \bar{V}_{GE} - \bar{V}_{CE} > 0$)

Cuando se presenta una diferencia entre las señales sensadas (en este caso V_{CE} permanece en un valor negativo), se considera que el sistema se encuentra bajo la influencia de alguna falla, debido a que el DSEP no responde adecuadamente a la señal de control (el DSEP responde a una falla por *dispositivo-en-corto*). La diferencia de las señales adquiere un valor positivo. La figura 3.15 muestra las formas de onda del V_{GE} y V_{CE} normalizadas para este caso.

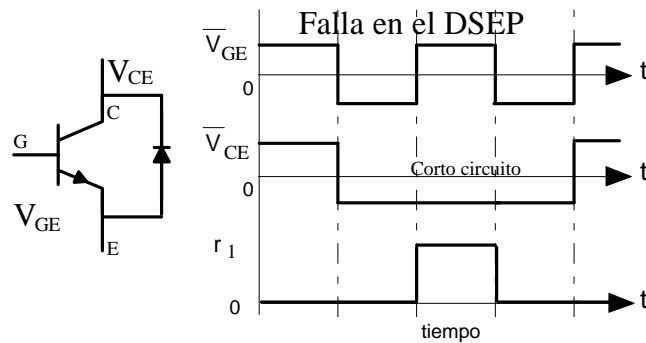


Figura 3.15. Caso bajo falla por dispositivo-en-corto.

Residuo 2

Este residuo se obtiene a partir de la comparación de la corriente que circula por la terminal del colector del DSEP y un modelo matemático del comportamiento del dispositivo (libre de falla).

$$i_s = \frac{V_{m1} - V_{m2}}{R_m} \left[1 - e^{\left(-\frac{R_m t}{L_m} \right)} \right] \tag{21}$$

Donde

- i_s Corriente del estator del motor.
- R_m Resistencia concentrada del motor.
- L_m Inductancia concentrada del motor.
- V_{m1} Voltaje en función de la magnitud del PWM y el bus de CD función(V_{PWMb}, V_{cd}).
- V_{m2} Voltaje en función de la magnitud del PWM y el bus de CD función(\bar{V}_{PWM}, V_{cd}).

El voltaje de salida del convertidor, se aplica por un lado al sistema y por el otro lado al mismo tiempo al modelo matemático del sistema. Las señales de salida del sistema (i_s , que equivale a la corriente del colector del DSEP) y del modelo (i_{Modelo}) son normalizadas en el intervalo de [-1, 1] (\bar{I}_C e \bar{I}_{modelo}) y comparadas para obtener el residuo, que indica la variación de la corriente del sistema y del modelo.

Dependiendo del resultado proporcionado por la comparación de \bar{I}_C contra \bar{I}_{modelo} , existen tres casos posibles a analizar, los cuales se describen a continuación:

Caso 1: Cuando ($r2 = \bar{I}_C - \bar{I}_{modelo} = 0$)

En este caso el sistema se encuentra libre de fallas cuando \bar{I}_{modelo} es igual a \bar{I}_C (la comparación presenta un valor igual o cercano a cero). La figura 3.16 muestra las formas de onda de \bar{I}_{modelo} e \bar{I}_C normalizadas para este caso.

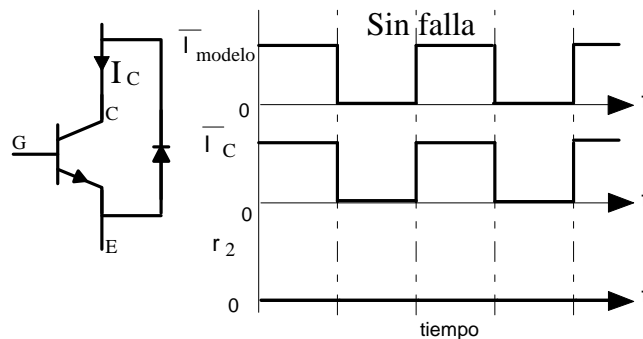


Figura 3.16. Formas de onda normalizadas para \bar{I}_{modelo} e \bar{I}_C en condición libre de falla.

Caso 2: Cuando ($r_2 = \bar{I}_C - \bar{I}_{modelo} < 0$)

Cuando se presenta una diferencia entre la señal medida y la obtenida mediante modelo, se considera que el sistema se encuentra bajo la influencia de alguna falla. Si el valor de la comparación es negativo implica que se tiene un consumo de corriente superior del nominal, por lo tanto ocurre una falla que puede ser por *dispositivo-en-corto* en el DSEP o *fase a tierra* en el devanado del motor. La figura 3.17 muestra las formas de onda de \bar{I}_{modelo} e \bar{I}_C normalizadas para este caso.

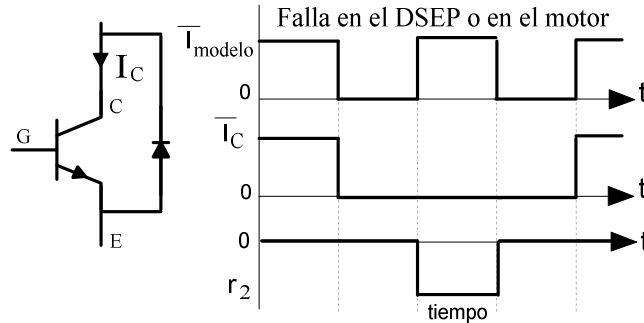


Figura 3.17. Formas de onda normalizadas para \bar{I}_{modelo} e \bar{I}_C en condición bajo falla por dispositivo-en-corto o fase a tierra en el devanado del estator de motor.

Caso 3: Cuando ($r_2 = \bar{I}_C - \bar{I}_{modelo} > 0$)

Nuevamente, cuando se presenta una diferencia entre la señal medida y la obtenida mediante modelos, se considera que el sistema se encuentra bajo la influencia de alguna falla. Si el valor del residuo es positivo implica que se tiene un consumo de corriente inferior del valor nominal, por lo tanto ocurre una falla que puede ser *dispositivo-abierto* en el DSEP o *fase abierta* en el devanado del estator. La figura 3.18 muestra las formas de onda de \bar{I}_{modelo} e \bar{I}_C normalizadas para este caso.

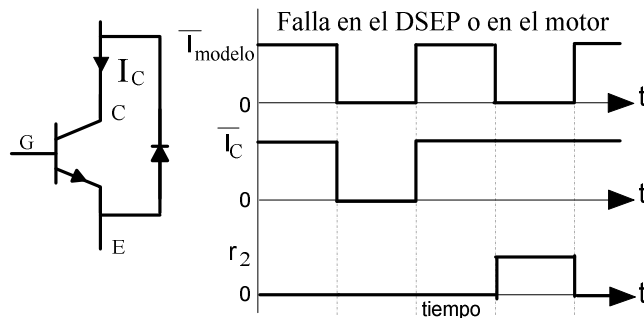


Figura 3.18. Formas de onda normalizadas para \bar{I}_{modelo} e \bar{I}_C en condición bajo falla por dispositivo-abierto en el DSEP o fase abierta en el devanado del estator de motor.

La evaluación del residuo se obtiene empleando el valor medio de los residuos obtenidos para cada una de las ventanas obtenidas (con duración del al menos un ciclo de línea) para cada interruptor.

$$s_1 = \text{avg}(r_1) = \text{avg}(\bar{V}_{GE} - \bar{V}_{CE}) \quad (22)$$

$$s_2 = \text{avg}(r_2) = \text{avg}(\bar{I}_C - \bar{I}_{Modelo}) \quad (23)$$

Sin embargo, la reducción de sensores conlleva a redistribuir los sensores como se muestra en la figura 3.19.

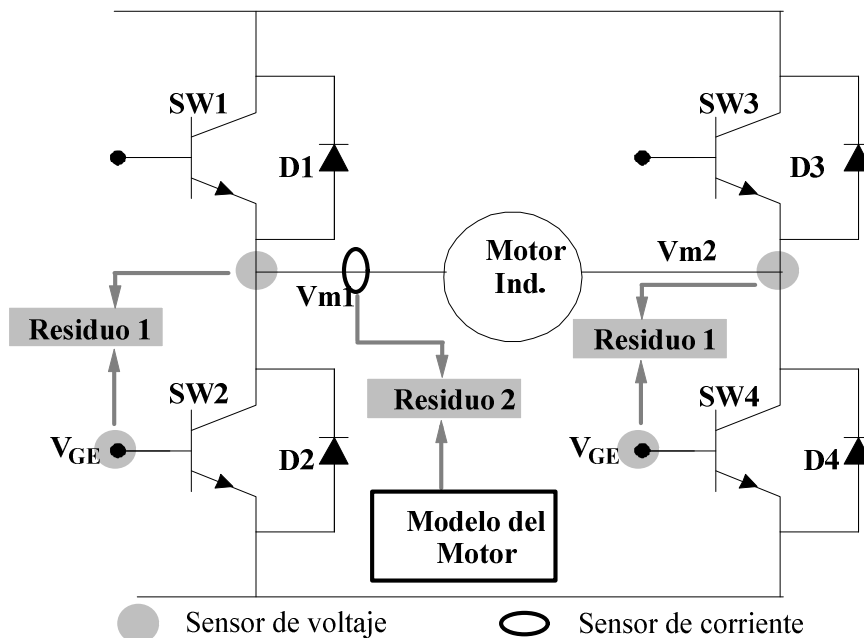


Figura 3.19. Posición de los sensores de voltaje y corriente para un sistema monofásico.

Hasta aquí, un punto importante en esta técnica es que la localización de la falla en los DSEP puede ser muy rápida si se utilizan componentes de alta velocidad de respuesta. Sin embargo, el autor de esta técnica en [7] se interesó más en reducir el número de sensores de 12 a 5 para un sistema monofásico con lo que se obtuvo un compromiso de localizar solo fallas en la rama afectada en lugar de sólo el DSEP dañado y además en la tabla de diagnóstico se contemplaron tanto las fallas en las ramas del inversor como las fallas en el devanado de estator de motor de inducción, lo cual llevó al incremento del tiempo diagnóstico. En conclusión, considerar fallas en el motor y en el inversor en una misma tabla de diagnóstico da como resultado; reducción del número de sensores, incremento en el tiempo de diagnóstico y

localización limitada a ramas. Lo cual puede ser justificado para procesos que aceptan cierta degradación después de la falla. Sin embargo, no hay que olvidar que las fallas por *dispositivo-en-corto* no debe exceder de 10 μ s porque el interruptor complementario establece una conexión de corto entre el *bus de CD* lo cual es catastrófico en un inversor. Por otra parte la extrapolación de esta técnica a un sistema trifásico resulta en la utilización de 9 sensores de los cuales 6 son de voltaje y 3 de corriente.

3.6 CONCLUSIÓN.

De las técnicas anteriormente mencionadas es importante mencionar que la técnica 1 utiliza muy pocos sensores y se auxilia de transformaciones matemáticas para diagnosticar la falla (detectar y localizar la falla) las cuales resultan ser muy adecuadas para un sistema que tienen como propósito final diagnosticar la falla ya que el tiempo de propagación es arriba de 5.7 *ms*. Por otro lado, la técnica 3 es comúnmente utilizada en sistemas tolerantes porque el tiempo de diagnóstico (detección y localización de la falla) es adecuado para detectar fallas por *dispositivo-abierto* (4 *ms*) pero para fallas por *dispositivo-en-corto* ese tiempo no es nada conveniente porque durante esa falla se establece en el inversor una condición de corto en el *bus de CD*. Finalmente la técnica 4 es una técnica novedosa que agrupa las fallas en el inversor y en el devanado de estator pero el tiempo de detección es de 8.33 *ms*, lo cual es adecuado para tolerar fallas por *dispositivo-abierto* o fallas por *fase abierta* en el devanado del estator del motor de inducción, pero este tiempo de detección no es nada conveniente para tolerar fallas por *dispositivo-en-corto* o *fase en corto*.

3.7 BIBLIOGRAFÍA

- [1] R. Peugeot, S. Courtine and J. P. Rognon, “**Fault Detection and Isolation on a PWM Inverter by Knowledge-Based Model,**” IEEE Transactions on Industry Applications, Vol. 34, No. 6, pp. 1318-1325. November/December **1998**
- [2] Frédéric Richardeau, Philippe Baudesson, and Thierry A. Meynard.: **Failures-tolerance and remedial strategies of a PWM multicell inverter.** IEEE Transactions on Power Electronics, Vol. 17, No. 6, pp. 905-912, November 2002
- [3] R. L. A. Ribeiro, C. B. Jacobina, E. R. C. da Silva and A. M. N. Lima.: **Fault-tolerant voltage-fed PWM inverter AC motor drive systems.** IEEE Transactions on Industrial Electronics, Vol. 51, No. 2, pp. 439 – 446, April 2004
- [4] R. Iserman, “**Diagnosis methods for electromechanical components,**” IEEE Industrial Electronics Society Newsletter, pp. 5-8, December 2000.
- [5] O. Moseler and H. Straky, “**Fault Detection of a Solenoid Valve for Hydraulic Systems ,**” Symposium on Fault Detection Supervision and Safety for the Technical Processes, IFAC safeprocess’2000, Budapest, June 14-16, pp. 118-123.
- [6] A. Wolfram and R. Iserman. “ **On line Fault Detection of Inverter-fed Induction Motor Using Advanced Signal Processing Techniques,**” Symposium on Fault Detection Supervision and Safety for the Technical Processes, IFAC safeprocess’2000, Budapest, June 14-16, pp. 1151-1156.
- [7] J. Aguayo.: **Diagnóstico de fallas en un inversor a partir de los tiempos de conmutación en los dispositivos semiconductores.** Tesis doctoral, CENIDET México, Diciembre (2004)

Capítulo 4

TÉCNICAS PROPUESTAS PARA DETECTAR AVERÍAS EN DSEP

En este capítulo, inicialmente se muestra la importancia de las técnicas de detección de averías en los DSEP aplicadas a un sistema *inversor-motor* tolerante a fallas, posteriormente se exponen los antecedentes relacionados con los IGBTs los cuales son comúnmente los DSEP mas utilizados en los inversores y finalmente se introducen dos técnicas nuevas para detectar averías.

4.1 INTRODUCCIÓN.

Durante el diagnóstico de un sistema tolerante, una de las fases más importantes es la *detección* ya que es donde se tiene el primer contacto con la falla y se genera el mayor tiempo de retraso. Por lo que generar y evaluar una señal que contenga información de la falla, comúnmente conocida como *residuo*, lo más pronto posible se convierte en la parte medular de un sistema tolerante.

Las técnicas reportadas en la literatura sobre el sistema *inversor-motor* tolerante a fallas con redundancia material, utilizan como unidades de respaldo, módulos compuestos por dos DSEP en un mismo encapsulado, comúnmente llamados *ramas*, [1], [2], [3], [4]. La ventaja de utilizar este tipo de encapsulados es que el algoritmo de *detección* y *localización* de la falla se simplifica, aunque la unidad redundante se sobre dimensiona, esto es porque sólo uno de los dos DSEP de la *rama* afectada es el elemento dañado durante la falla. Por otro lado, si se utilizan por separado dos DSEP, como unidades de respaldo, el esquema podrá soportar dos averías secuenciales en los dispositivos de potencia haciéndolo más robusto. Pero esto conlleva a utilizar un método de detección de averías exclusivo en los dispositivos de potencia con muy rápida velocidad de respuesta. En este sentido, resulta interesante diseñar esquemas tolerantes en donde el inversor esté constituido por dos módulos de un solo IGBT, como unidades redundantes, en lugar de una rama, lo cual podría ser utilizado en aplicaciones de altas potencias porque la tendencia de fabricación de dispositivos de alta potencia está orientada a este tipo de encapsulados.

Con respecto a las técnicas de detección de averías en los DSEP, existen diversos esquemas de diagnóstico aplicados al sistema *inversor-motor* [3], [19], [26], [27]. Pero la mayoría realizan la detección durante al menos $\frac{1}{2}$ ciclo de línea sin considerar la detección durante el transitorio de encendido de los DSEP, en donde se puede lograr una detección temprana. Lo anterior es principalmente importante cuando ocurren averías por *dispositivo-en-corto*, ya que esta condición solo puede ser tolerada durante un tiempo máximo de $10 \mu s$ antes de que la avería se propague al dispositivo complementario de la misma pierna del inversor. Sin embargo, pueden presentarse falsas alarmas si solo se considera una ventana de detección.

En este capítulo se proponen dos técnicas nuevas para detectar averías en los dispositivos: la primera se basa en los tiempos de conmutación durante el estado estable y la segunda se basa exclusivamente en la medición de la señal de compuerta durante el transitorio de encendido.

4.2 MODELADO DEL IGBT.

El IGBT es un dispositivo semiconductor de potencia que combina las ventajas de un MOSFET (por sus siglas en inglés- Metal Oxide Semiconductor Field Effect Transistor) de potencia con las ventajas de un transistor bipolar. De esta manera se obtiene un dispositivo muy versátil en cuanto a un control sencillo relacionado con bajas pérdidas por control debido a la tecnología unipolar del MOSFET y la inyección de cargas minoritarias, (es decir, la modulación de la resistencia en la zona n) y relacionado con bajas pérdidas por conducción debido a la tecnología bipolar del transistor BJT intrínseco [5]. Hoy en día el IGBT ocupa un lugar muy importante en el área de aplicaciones de mediana y alta potencia [6], [7] tal como se ilustra en la figura 4.1.

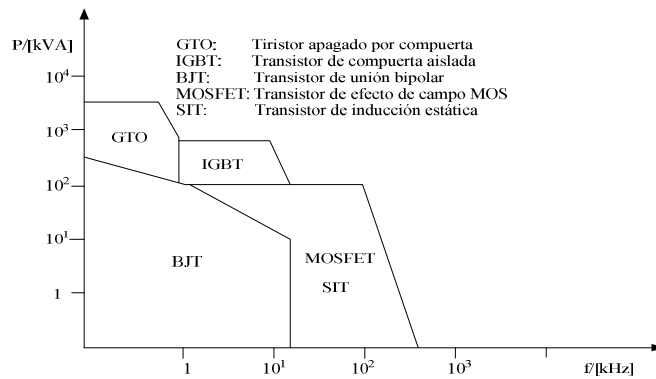


Figura 4.1. Aplicación de los Dispositivos Semiconductores Electrónicos de Potencia DSEP

Existen dos tipos de estructuras de IGBT's que son la estructura PT y la estructura NPT [8], [9]. La tecnología PT (Punch Through) contiene una capa epitaxial de dopado n^+ llamada también capa *buffer* que se encarga de limitar la expansión del campo eléctrico hasta la unión pn , mientras que la tecnología NPT (Non Punch Through) posee una oblea homogéneamente dopada con n^- en ausencia de la zona *buffer* con un emisor p implantado en la parte inferior de la estructura con características específicas (muy delgada y de bajo dopado) llamado también emisor transparente [5]. Lo anterior se muestra en la figura 4.2.

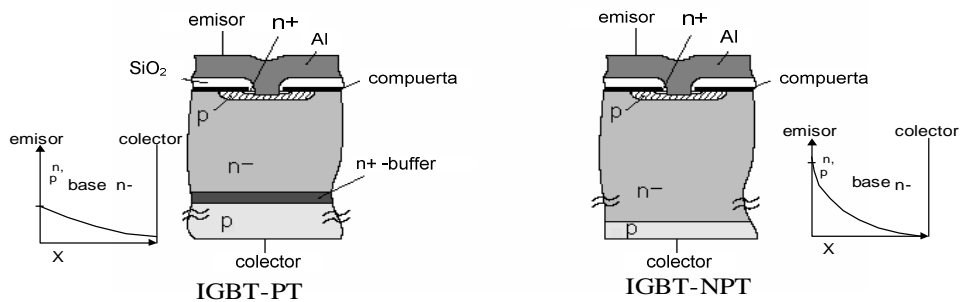


Figura 4.2. Estructura del IGBT de tipo PT y NPT.

Así mismo, el tiempo de vida de los portadores (T_{av}) en la base del IGBT (zona de deriva n) de tipo PT está controlada a través del métodos de reducción del tiempo de vida, mientras que en el IGBT de tipo NPT este parámetro no está controlado y tiene un valor muy alto (cercano de $100 \mu s$). Esto tiene como consecuencia que la distribución de portadores en el IGBT-NPT sea uniforme, mientras que en el caso del IGBT-PT se tiene una concentración elevada del lado del emisor que decae abruptamente hacia el colector del transistor pnp interno.

Un modelo matemático del comportamiento del IGBT puede ser implementado en simuladores para redes eléctricas y electrónicas, donde las variables de entrada son los voltajes y las variables de salida son las corrientes, de tal manera que un dispositivo se pueda representar por un sistema de ecuaciones y dependiendo de la técnica de desarrollo y la implementación resultará un modelo que describa con más o menor precisión el comportamiento estático y dinámico. En la literatura se encuentra una gran cantidad de modelos para DSEP desarrollados para su uso en simuladores de redes eléctricas y electrónicas, tanto de los componentes clásicos como de los nuevos dispositivos que se ofrecen en el mercado [10], [11]. Una parte de los modelos publicados para el IGBT consisten de macromodelos que contienen dispositivos básicos con modelos estándar conocidos. Otra parte de los modelos se representa a nivel matemático, lo que significa que se pueden utilizar tal cual en programas de simulación de circuitos.

4.2.1 MODELO FÍSICO DEL IGBT-PT IMPLEMENTADO EN EL CÓDIGO FUENTE DE PSPICE.

El modelo estándar del IGBT fue implementado en el código fuente de Pspice por G.T. Oziemkiewicz en la universidad de Florida como tesis de ingeniería en 1995 [12], basándose en un modelo físico desarrollado por A. R. Hefner, Jr [13]. Oziemkiewicz no contempló el modelo completo que desarrolló Hefner originalmente simplificando las ecuaciones (para el simulador "SABER"); p.e. eliminando la dependencia de la temperatura de los parámetros y no considerando a los portadores en la zona de carga de espacial. Este modelo considera la estructura típica de un IGBT-PT, por lo que no es adecuado para la simulación de la tecnología con emisor transparente. En la figura 4.3 se muestra el circuito equivalente del modelo del IGBT PT en donde las capacitancias variables y fuentes dependientes de corriente representan un sistema de ecuaciones propias del modelo del físico

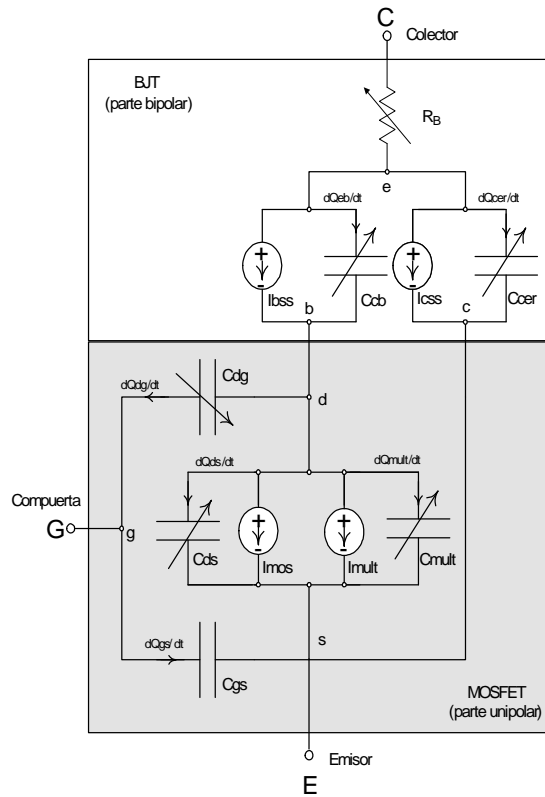


Figura 4.3. Circuito equivalente del modelo del IGBT en Pspice (IGBT-PT).

En la tabla 4.1 se presentan las variables de entrada y salida que necesita el modelo y en la tabla 4.2 se presentan los parámetros físicos, de diseño y eléctricos que éste utiliza.

Tabla 4.1. Variables del sistema de ecuaciones del modelo estándar del IGBT en Pspice.

Variables de entrada		Variables de salida	
V_{gs}	Voltaje compuerta-fuente	I_{mos}	Corriente del canal del MOSFET
V_{ds}	Voltaje drenaje-fuente	I_{css}	Corriente de estado estable del colector
V_{dg}	Voltaje drenaje-compuerta	I_{bss}	Corriente de estado estable de la base
V_{eb}	Voltaje emisor-base	I_{mult}	Corriente de multiplicación de avalancha
		R_B	Resistencia de la base
		$I \rightarrow C_{gs}$	Corriente a través de compuerta-fuente
		$I \rightarrow C_{ds}$	Corriente a través de drenaje-fuente
		$I \rightarrow C_{gd}$	Corriente a través de compuerta-drenaje
		$I \rightarrow C_{eb}$	Corriente a través de emisor-base
		$I \rightarrow C_{cer}$	Corriente a través de colector-emisor
		$I \rightarrow C_{mult}$	Corriente a través de la capacitancia y carga de multiplicación de avalancha

Tabla 4.2. Parámetros del modelo estándar del IGBT.

Parámetros físico y del material	
M_n	Movilidad de los electrones
M_p	Movilidad de los hoyos
q	Carga elemental
D_n	Coeficiente de difusión de electrones
D_p	Coeficiente de difusión de los hoyos
ϵ_{si}	Permeabilidad dieléctrica del silicio
n_i	Concentración intrínseca de los portadores para el silicio
M	Factor de multiplicación de avalancha
Parámetros de diseño	
AREA	Área del componente
A_{GD}	Área de traslape compuerta–drenaje
W_B	Ancho metalúrgico de la base (n-)
N_B	Concentración de dopado en la base
TAU	Tiempo de vida de recombinación ambipolar
Parámetros eléctricos	
BVF	Factor de uniformidad de avalancha
BVN	Factor de multiplicación de avalancha
K_F	Factor de la región del triodo
K_P	Transconductancia MOS
THETA	Factor del campo transversal
V_T	Tensión umbral
V_{TD}	Tensión umbral de deflexión del traslape compuerta-drenaje
C_{GS}	Capacitancia compuerta-fuente por unidad de área
C_{OXD}	Capacitancia del óxido compuerta-drenaje por unidad de área
JSNE	Densidad de la corriente de saturación del emisor

4.2.2 MODELO FÍSICO DEL IGBT–NPT IMPLEMENTADO COMO SUBCIRCUITO EN PSPICE.

En la figura 4.4 se muestra el circuito equivalente del IGBT-NPT implementado en Pspice como subcircuito [14]. La diferencia que existe entre este modelo y el anterior, en lo que respecta a la implementación, es que el modelo del IGBT-NPT utiliza componentes básicos del simulador, es decir es un macro-modelo estructural basado en fuentes controladas de voltaje y corriente (opción ABM en Pspice).

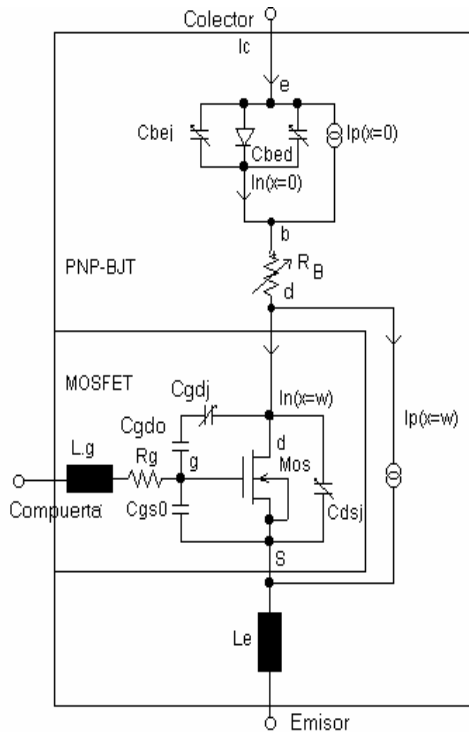


Figura 4.4. Representación del circuito equivalente del modelo del IGBT (IGBT-NPT).

En la tabla 4.3 se presentan las variables de entrada y salida que necesita el modelo y en la tabla 4.4 se presentan los parámetros físicos, de diseño y eléctricos que éste utiliza.

Tabla 4.3. Variables del sistema de ecuaciones del IGBT implementado en Pspice como subcircuito.

Variables de entrada	Variables de salida
V_{gs} Voltaje compuerta-fuente	$I_{n(x=0)}$ Corriente de electrones en el colector colindando con la zona n
V_{ds} Voltaje drenaje-fuente	$I_{p(x=0)}$ Corriente de huecos en el colector colindando con la base
V_{gd} Voltaje drenaje-compuerta	$I_{n(x=w)}$ Corriente de electrones en el emisor colindando con la zona n-
V_{eb} Voltaje emisor-base	$I_{p(x=w)}$ Corriente de huecos en el emisor colindando con la base
V_{bd} Voltaje base-drenaje	I_{mos} Corriente del canal MOS
	R_b Resistencia de base
	$I \rightarrow C_{bej}$ Corriente a través de la capacitancia de unión base-emisor
	$I \rightarrow C_{bed}$ Corriente a través de la capacitancia de difusión base-emisor
	$I \rightarrow C_{dsj}$ Corriente a través de la capacitancia de unión drenaje-fuente
	$I \rightarrow C_{gdj}$ Corriente a través de la capacitancia de unión compuerta-drenaje
	$I \rightarrow C_{gd0}$ Corriente a través de la capacitancia de traslape compuerta-drenaje a polarización cero
	$I \rightarrow C_{gs0}$ Corriente a través de la capacitancia de traslape compuerta-fuente a polarización cero

Tabla 4.4. Parámetros del modelo del IGBT implementado como subcircuito.

Parámetros físico y del material	
q	Carga elemental
k	Constante de Boltzmann
V_T	Voltaje térmico
n_i	Concentración intrínseca del silicio
V_D	Voltaje de difusión
ϵ_{si}	Constante dieléctrica del silicio
μ_n	Movilidad de electrones
μ_p	Movilidad de huecos
D_n	Constante de difusión de electrones
D_p	Constante de difusión de huecos
D	Constante de difusión ambipolar
v_{sn}	Velocidad de saturación de electrones
v_{sp}	Velocidad de saturación de huecos
Parámetros de diseño	
$N_D=N_B$	Dopado de la zona n-
W_B	Ancho de la zona n-
A	Área activa
A_{gd}	Área de traslape compuerta-drenaje
Parámetros eléctricos	
V_{th}	Voltaje de umbral
K_p	Parámetro de transconductancia
Θ	Parámetro de la modulación de la movilidad
I_{sne}	Corriente de saturación de electrones en el emisor
n	Coefficiente de emisión de la unión pn
C_{gs0}	Capacitancia de traslape compuerta-fuente a polarización cero
C_{gd0}	Capacitancia de traslape compuerta-drenaje a polarización cero
L_e	Inductancia parásita del emisor
L_g	Inductancia parásita de la compuerta
R_g	Resistencia de la compuerta del poli-silicio

El modelo del IGBT implementado en Pspice se comporta como un transistor bipolar $pn\bar{p}$ cuya base se controla por un MOSFET y por ende consiste en una parte unipolar y una parte bipolar. El MOSFET interno se describe con el modelo estándar disponible en Pspice. La corriente de drenaje se determinada por una fuente de corriente controlada usando las ecuaciones de Shockley. Solamente los elementos parásitos de las capacitancias de compuerta-drenaje y drenaje-fuente se agregan externamente considerando sus dependencias de voltaje y corriente. Todos los elementos internos consisten de resistencias, capacitores y fuentes controladas de voltaje y corriente. El modelo del transistor bipolar interno contiene un diodo entre base y emisor, alimentando la corriente de electrones en la colindancia del colector con la región n- ($In(x=0)$), la resistencia de base R_b depende del voltaje y de la corriente y dos fuentes de corriente para las corrientes de huecos en la colindancia del colector y el emisor con la zona

n - ($I_p(x=0)$ y $I_p(x=W)$). El diodo base-emisor se describe utilizando el modelo de Pspice disponible internamente. Los elementos concentrados del circuito R_B , $I_p(x=0)$, y $I_p(x=W)$ son representados por fuentes de corriente y voltaje que se implementan con ecuaciones analíticas derivadas de la física de los semiconductores.

Es importante mencionar que los modelos mostrados en las figuras 3 y 4 presentan muchos parámetros en común y la mayoría de las ecuaciones que contemplan cada modelo son iguales, en especial las ecuaciones de la corriente I_{MOS} y las capacitancias C_{GS} y C_{DG} las cuales involucran el comportamiento de la señal de compuerta durante el encendido del IGBT.

4.2.3 ECUACIONES DEL MODELO DEL IGBT.

La representación básica de un IGBT consiste en una conexión darlington entre un MOSFET en la entrada y un transistor pnp en la salida [15], [16] como se muestra en la figura 4.5.

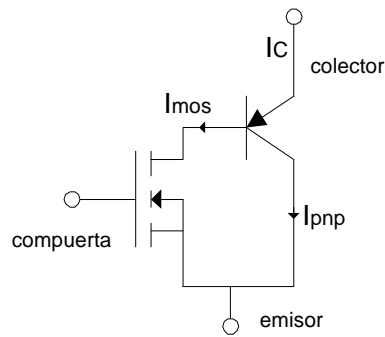


Figura 4.5. Circuito básico equivalente del IGBT.

La ecuación generalmente usada para representar las dos contribuciones de la corriente total (I_C) es la siguiente [16]:

$$I_C = I_{mos} + I_{pnp} = \left[1 + \beta(I_{pnp}, V_{CE}) \right] I_{mos} \quad (1)$$

Donde $\beta(I_{pnp}, V_{CE})$ es la ganancia bipolar expresada como una función de la corriente bipolar y V_{CE} es el voltaje aplicado entre colector-emisor. Así, las ecuaciones (2), (3) y (4) más aproximadas para describir el comportamiento de la corriente del MOSFET interno (I_{mos}) en

función de V_{GS} son las siguientes relaciones conocidas como las ecuaciones de Shockley [13], [14], [16]:

$$I_{mos} = \begin{cases} 0 & \xrightarrow{si} (V_{GS} - V_T) < 0 \end{cases} \quad (2)$$

$$I_{mos} = \begin{cases} K_F \cdot K_P \cdot \frac{(V_{GS} - V_T) \cdot V_{DS} - \frac{K_F \cdot (V_{DS})^2}{2}}{1 + \text{Theta} \cdot (V_{GS} - V_T)} & \xrightarrow{si} (V_{GS} - V_T) > V_{DS} \end{cases} \quad (3)$$

$$\frac{K_P \cdot (V_{GS} - V_T)^2}{2 \cdot [1 + \text{Theta} \cdot (V_{GS} - V_T)]} \quad \xrightarrow{si} (V_{GS} - V_T) \leq V_{DS} \quad (4)$$

Este conjunto de ecuaciones describe el comportamiento del MOSFET interno del IGBT, tanto de la estructura PT como NPT, durante tres fases de operación. Estas fases ocurren cuando el canal aún no está formado (2), cuando el canal se encuentra en la región lineal (3) y cuando el canal se encuentra saturado (4).

Ahora bien, la capacitancia total que existe entre compuerta-drenaje (C_{GD}) es la unión serie de una capacitancia del óxido (C_{OXD}) y una capacitancia de deflexión (C_{GDJ}) la cual se encuentra en función del voltaje aplicado V_{DS} [13], [14], [15]. Para describir con mayor precisión el comportamiento de C_{DS} se muestra la siguiente ecuación:

$$C_{GD} = \begin{cases} C_{OXD} & \xrightarrow{si} (V_{GS} - V_{TD}) \geq V_{DS} \end{cases} \quad (5)$$

$$\frac{C_{OXD} \cdot C_{GDJ}}{C_{OXD} + C_{GDJ}} \quad \xrightarrow{si} (V_{GS} - V_{TD}) < V_{DS} \quad (6)$$

$$Q_{DG} = C_{OXD} \cdot V_{DS} \quad (7)$$

En (5) se puede observar que C_{GD} es aproximadamente igual a C_{OXD} , siempre y cuando el voltaje aplicado entre drenaje-fuente sea muy pequeño ($V_{GS} - V_{TD}) \geq V_{DS}$. Esto es debido a que C_{GDJ} está en función inversa al V_{DS} . Por otro lado, cuando $V_{DS} > (V_{GS} - V_{TD})$ se tiene que C_{GD} es igual a C_{GDJ} en serie con C_{OXD} . Esto se debe a que C_{GDJ} toma valores significativos y por lo tanto la capacitancia resultante es el producto sobre la sumatoria de ambas. En tanto que la

carga de drenaje-compuerta Q_{DG} depende básicamente de la modulación del voltaje drenaje-fuente V_{DS} y el valor de la capacitancia del óxido C_{OXD} .

Por otro lado, la capacitancia de deflexión C_{DGJ} está en función del voltaje drenaje-compuerta V_{DG} y determinada por algunos parámetros eléctricos y de diseño como se muestra en (8).

$$C_{GDJ}(V_{DG}) = A_{GD} \sqrt{\frac{q \cdot N_B \cdot \epsilon_{si}}{2(V_{DG} + V_{TD})}} \quad (8)$$

$$N_B = \sqrt[3]{\left(\frac{60 \left(\frac{Eg}{1.1} \right)^{3/2}}{V_{Br}} \right)^4} \cdot 10^{16} \quad (9)$$

Donde:

A_{GD}	Área de traslape compuerta –drenaje.	V_{TD}	Tensión umbral de deflexión del traslape compuerta-drenaje.
q	Carga elemental.	V_{DG}	Voltaje drenaje-compuerta.
ϵ_{si}	Permeabilidad dieléctrica del silicio.	V_{Br}	Voltaje de ruptura.
N_B	Concentración de dopado en la base.	Eg	Energía de la banda prohibida.

Existen muchas otras ecuaciones del modelo del IGBT. Sin embargo, las ecuaciones mostradas anteriormente impactan directa e indirectamente en el comportamiento de la señal de compuerta. Por lo que en esta sección se hace omisión del juego completo de ecuaciones que describe el comportamiento del IGBT aunque en el Apéndice 1 se muestra el modelo completo.

4.2.3 SEÑAL CARACTERÍSTICA DEL VOLTAJE DE COMPUERTA DEL IGBT

De manera general, el comportamiento de la señal de compuerta en un IGBT durante su conmutación está determinado básicamente por tres factores: 1) la velocidad del incremento de impulsión dV_{CG}/dt , 2) la resistencia de compuerta R_G y 3) por la capacitancia de entrada C_{iss} . De los tres factores anteriores, la capacitancia de entrada C_{iss} es el único medio el cual caracteriza el comportamiento basado en las capacitancias constitutivas del dispositivo lo cual determina la evolución de la señal de compuerta. Lo anterior se puede explicar básicamente a partir de un circuito de prueba y un diagrama de formas de onda para cargar la compuerta del IGBT mostrados en las figuras 4.6 y 4.7 respectivamente.

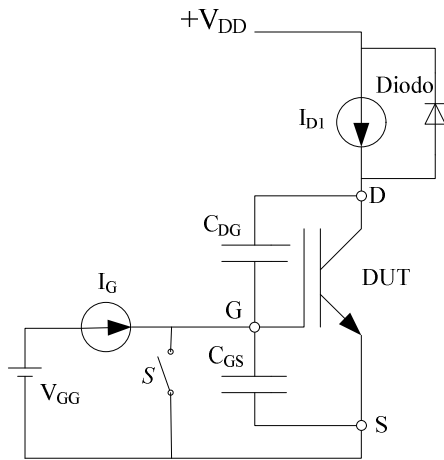


Figura 4.6. Circuito de prueba.

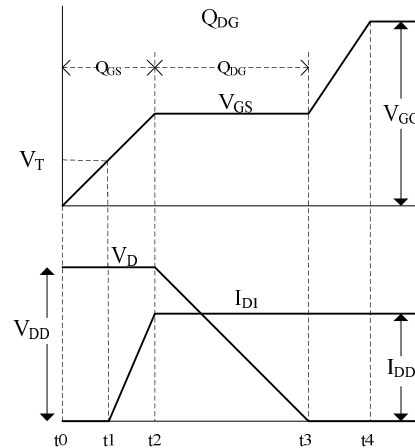


Figura 4.7. Formas de onda en el encendido del IGBT.

Cuando el interruptor S de la figura 4.6 se encuentra cerrado, el dispositivo bajo prueba DUT (por sus siglas en inglés- *Device Under Test*) soporta en sus extremos todo el voltaje del circuito V_{DD} , y el voltaje de compuerta a fuente V_{GS} y la corriente de drenaje I_D son cero. Cuando el interruptor S se abre en el tiempo t_0 , la capacitancia C_{GS} comienza a cargarse e incrementa el voltaje V_{GS} , la corriente de drenaje es nula hasta que la compuerta alcanza el voltaje de umbral V_T .

Durante el periodo de t_1 a t_2 , la capacitancia C_{GS} continúa cargándose, el voltaje V_{GS} continúa incrementándose y la corriente de drenaje I_D entra en el punto de operación activa del dispositivo, elevando la corriente I_{D1} de manera aparentemente proporcional (siempre y cuando la corriente I_{D1} no alcance la corriente máxima disponible), el rectificador de libre circulación entra en la fase de bloqueo, el voltaje a través de él se encuentra en bajo y el voltaje en los extremos del DUT continúa siendo el voltaje constante del suministro V_{DD} . El potencial de la capacitancia vista desde el drenaje a la compuerta V_{DG} se mantiene en un punto fijo mientras que el potencial del extremo inferior de V_{GS} se mueve con el de la compuerta. La corriente de carga tomada por la capacitancia C_{DG} durante este periodo es muy pequeña y para propósitos prácticos éste puede ser despreciado debido a que la capacitancia C_{DG} es numéricamente mucho más pequeña que la capacitancia C_{GS} .

En el tiempo t_2 , la corriente I_D alcanza el valor I_{DD} , el rectificador de libre circulación entra en bloqueo entonces el voltaje V_{DS} empieza a decaer con un dV/dt determinado y esta variación, ligada con el valor de capacitancia C_{GD} , hace que I_C circule completamente por C_{GD} y ya no se cargue mas la capacitancia C_{GS} , en donde se establece un nivel voltaje constante comúnmente llamado *plato de voltaje*. La excursión del V_{GS} durante el periodo de t_2 a t_3 es relativamente grande y por lo tanto la carga del circuito impulsor total es típicamente más grande para C_{DG} que para C_{GS} .

En tiempo $t3$, el voltaje de drenaje cae a un valor igual a $I_D \times R_{DS(ON)}$, y el DUT sale de la región activa de operación y entra en saturación (en términos de un transistor bipolar). El voltaje V_{GS} ya no es obligado por las características de transferencia del dispositivo relacionado con la corriente I_D y se incrementa libremente. Esto se hace hasta $t4$, en donde el voltaje V_{GS} llega a ser igual al voltaje de alimentación del circuito impulsor V_{GG} .

La escala de tiempo de las formas de onda mostradas en la figura 4.7 del voltaje V_{GS} es directamente proporcional a la carga entregada por el circuito de impulsión porque la carga es igual al producto de corriente y tiempo, y la corriente permanece constante a través de la secuencia entera. Así, la longitud del periodo de $t0$ a $t2$ representa la carga Q_{GS} consumida por la capacitancia C_{GS} , mientras que la longitud del periodo de $t2$ a $t3$ representa la carga Q_{GD} consumida por la capacitancia C_{GD} . La carga total en $t3$ es la carga requerida para conmutar el voltaje V_{DD} y la corriente I_D . La carga adicional después de $t3$ no representa la carga de la conmutación, ésta es simplemente el exceso de carga, la cual será entregada por el circuito de impulsión porque la amplitud del voltaje aplicado de la impulsión de compuerta será normalmente más alta para asegurar la conmutación y trabajar en la región de saturación.

Otro punto de vista más completo del comportamiento de la señal de compuerta es considerar el modelo completo del IGBT, en donde se considera que la capacitancia de C_{GD} está constituida por una capacitancia atribuida al óxido C_{OXD} mas una capacitancia atribuida a la zona de deflexión existente de compuerta a drenaje C_{GDJ} del MOSFET interno del modelo interno del IGBT, “este comportamiento es el que se toma como punto de partida para generar la técnica de detección propuesta basada en la medición de señal de compuerta”.

4.3 TÉCNICA DE DETECCIÓN DE AVERÍA EN EL DSEP DURANTE EL ESTADO ESTABLE.

Actualmente, los esquemas del conjunto *inversor-motor* tolerantes a averías reportados en la literatura soportan una avería en un Dispositivo Semiconductores Electrónicos de Potencia DSEP teniendo como unidad de respaldo una rama completa (dos dispositivos). La desventaja es que estos esquemas están limitados en potencia y la destrucción de un solo dispositivo de la rama de IGBTs deja fuera de operación a la rama completa, aunque uno de los IGBTs de la rama se encuentre en buen estado. Además, el diseño de dispositivos de alta potencia marca una tendencia hacia utilizar módulos de un solo dispositivo. Por lo tanto, resulta interesante diseñar un esquema generalizado de detección de averías para sistemas electrónicos de potencia constituidos por DSEP de potencia de un solo módulo como IGBTs, GTOs, IGCTs, SGCTs etc. (por sus siglas en inglés- *Insulate Gate Bipolar Transistor*, *Gate Turn Off*, *Integrated Gate Commutated Thyristor*, *Symmetric Gate Commutated Thyristor*, respectivamente).

La técnica propuesta en esta sección se basa en la medición y evaluación en estado estable de las señales características durante la conmutación de cualquier DSEP. El objetivo es implementar la técnica propuesta utilizando electrónica analógica y digital embebida en el circuito impulsor del dispositivo de potencia para garantizar una temprana detección. La ventaja de esta técnica es que no tienen como limitación un alto *slew rate* en el amplificador diferencial de entrada porque la medición se realiza durante el estado estable de la conmutación del dispositivo de potencia.

4.3.1 CRITERIO PARA LA DEFINICIÓN DE LAS VENTANAS DE DETECCIÓN.

De manera generalizada, esta técnica se basa en la medición de los voltajes de compuerta-cátodo V_{GK} y ánodo-cátodo V_{AK} de los dispositivos de potencia y consiste en generar dos pulsos V_{GK+} y V_{GK-} durante el periodo transitorio de encendido y apagado de V_{GK} respectivamente. Para esto, los umbrales de detección se localizan cerca del estado estable. Para evitar falsas alarmas durante el periodo transitorio de V_{GE} , se utilizan dos ventanas de detección $V1$ y $V2$. Utilizando dos tiempo de retardo $T1$ y $T2$ en el comienzo de cada pulso V_{GK+} y V_{GK-} de esta forma, una simple multiplicación lógica genera una señal de *residuo* indicando una avería por *dispositivo-en-corto* o *dispositivo-abierto*. Además la evaluación durante el periodo transitorio es limitada para evitar falsas alarmas. La figura 4.8 muestra la técnica para generar las ventanas de detección.

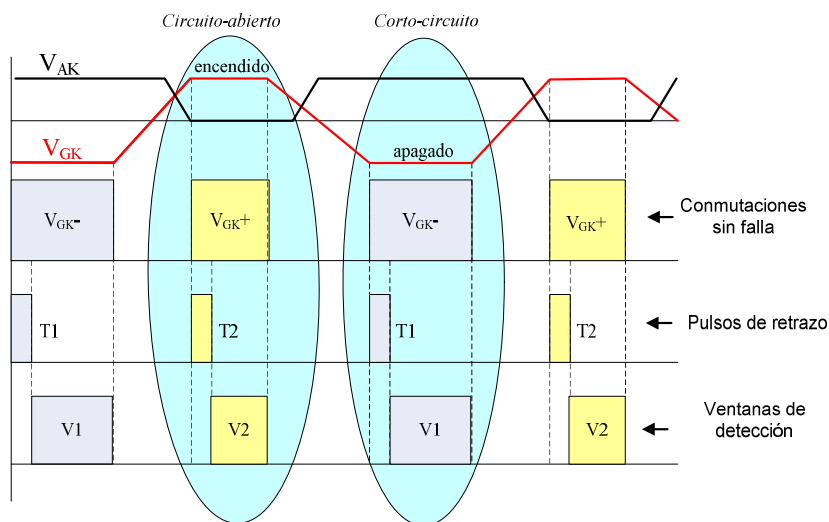


Figura 4.8. Diagrama de tiempos para generar ventanas de detección.

La avería por *dispositivo-en-corto* en el dispositivo de potencia se evalúa en la ventana $V1$ utilizando la siguiente expresión:

$$r1 = (V_{GK-}) \cdot \overline{(V_{AK})} \quad (10)$$

Donde

$$r1 = 0 \quad \text{Caso libre de averías}$$

$$r1 = 1 \quad \text{Avería por dispositivo-en-corto}$$

La avería por *dispositivo-abierto* se evalúa en la ventana $V2$ utilizando la siguiente expresión:

$$r2 = (V_{GK+}) \cdot (V_{AK}) \quad (11)$$

Donde

$$r2 = 0 \quad \text{Caso libre de averías}$$

$$r2 = 1 \quad \text{Avería por dispositivo-abierto}$$

Adicionalmente, para evitar falsas alarmas, se evalúa dos ventanas de detección por cada conmutación para hacer más confiable al sistema.

4.3.2 CIRCUITO DE DETECCIÓN DE AVERÍAS.

El diseño del circuito de detección de averías está orientado para un sistema inversor CD/CA tipo modular donde se facilite el intercambio físico del circuito de detección implementado dentro del circuito impulsor del dispositivo de potencia.

El esquema de detección propuesto se muestra en la figura 4.9. La medición de V_{GK} y V_{AK} se realiza utilizando amplificadores operacionales con alta impedancia de entrada ($U1$ y $U2$) con previa atenuación de voltaje a través de divisores resistivos de tensión. Posteriormente se utilizan comparadores analógicos ($C1$, $C2$ y $C3$) para generar pulsos de detección libres de avería V_{GK+} y V_{GK-} . Estos pulsos junto con V_{AK}^* son utilizados como entradas para un circuito lógico, el cual genera las ventanas de detección $V1$ y $V2$ utilizando tiempos de retardo $T1$ y $T2$. Posteriormente, se evalúan las expresiones (10) y (11) en estas ventanas para generar el *residuo* $r1$ y $r2$ y que a su vez determinan una señal de alarma, finalmente la detección de la avería se obtienen con la evaluación de los residuos utilizando un contador lógico.

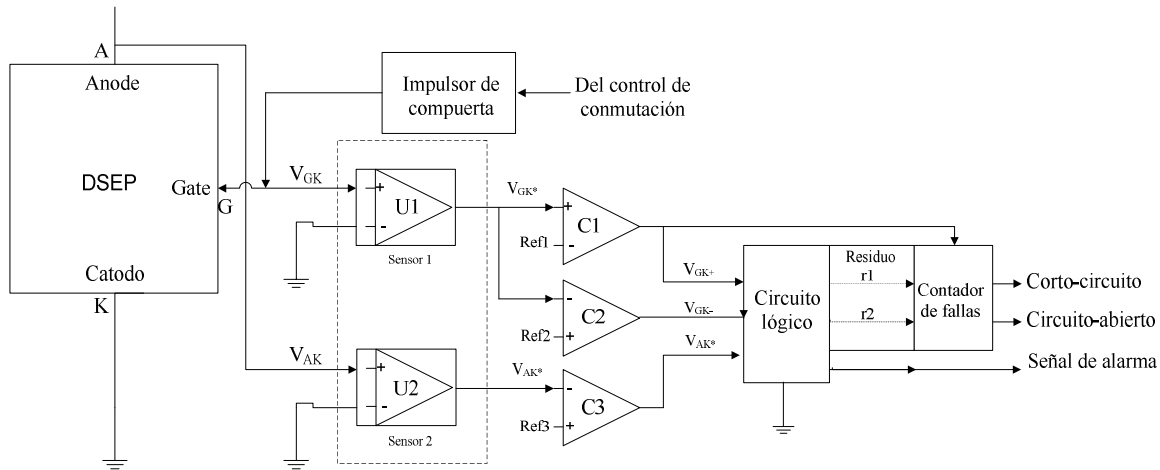


Figura 4.9. Esquema de detección de averías basado en los tiempos de conmutación de los dispositivos de potencia.

La figura 4.10 muestra el inicio de la avería en los dispositivos, donde se observa que la confirmación de la avería es realizada después de cuatro ventanas de detección. Sin embargo, la alarma temprana puede también ser utilizada para proteger al dispositivo en buen estado de la rama dañada en un sistema tolerante.

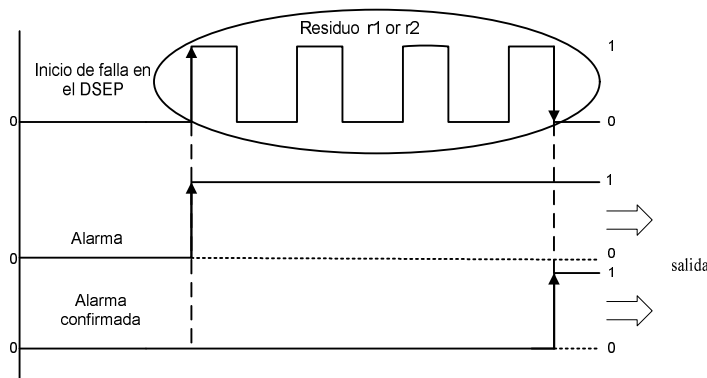


Figura 4.10. Diagrama de tiempos de las señales de salida en el circuito de detección de averías.

En aplicaciones de bajas potencias (< 1 KW), se puede utilizar un IGBT de tipo discreto para emular un módulo de un solo dispositivo, siempre y cuando el circuito impulsor de compuerta y el circuito de detección de avería se coloquen lo mas cercano posible a la compuerta y emisor del IGBT. Esto con la intención de disminuir la inductancia de emisor parásita y característica de un dispositivo discreto. La utilización del módulo de un solo IGBT de este tipo intercambiable en un sistema *inversor-motor* tolerante a averías basado en redundancia material hace que el esquema implementado sea muy didáctico. Más aún si en

cada módulo de un solo IGBT se instala un socket en donde se pueda intercambiar el circuito de detección y analizar distintas técnicas de detección.

En la figura 4.11 se muestra el circuito de detección implementado y en la figura 4.12 se muestra el ensamble del módulo del IGBT en el inversor y el circuito de detección intercambiable.

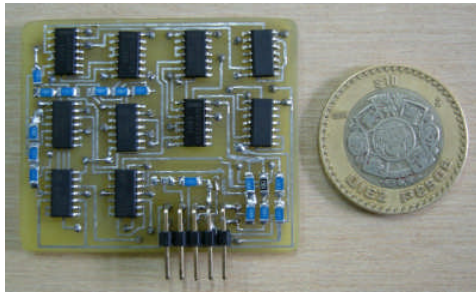


Figura 4.11. Fotografía del circuito de detección.

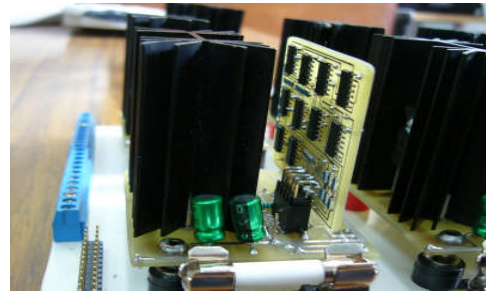


Figura 4.12. Montaje del circuito detector.

Con base a las características de los elementos constitutivos del circuito de detección diseñado e implementado se deduce que el tiempo para accionar una alarma de avería es $2.121 \mu\text{s}$ donde $2 \mu\text{s}$ está relacionado con la tasa de cambio (*slew rate*) del amplificador operacional de entrada utilizado y $0.121 \mu\text{s}$ con la tiempo de propagación de los circuitos integrados restante. Sin embargo, para confirmar la avería se necesitan cuatro ventanas de detección lo cual está en función de la frecuencia de conmutación. Es decir, para una frecuencia de conmutación de 20 KHz, se tiene que el tiempo de detección (confirmación de la alarma) es $(3.5 \times 50 \mu\text{s}) = 175 \mu\text{s}$. Donde 3.5 corresponde al número de periodos de conmutación que relaciona 4 ventanas de detección y $50 \mu\text{s}$ corresponde al periodo de la frecuencia de conmutación.

4.3.3 ANÁLISIS DE RESULTADOS.

Una manera de comprobar el correcto funcionamiento del circuito de detección es diseñando un circuito de prueba que permita emular o reproducir físicamente el comportamiento de avería más crítica que tiene un IGBT (avería por *dispositivo-en-corto*) con la ventaja de poder controlar el tiempo de inicial y final de la avería. En la figura 4.13 se muestra el voltaje de salida del circuito de detección (Ch2) que representa la señal de residuo perteneciente a una avería emulada por *dispositivo-en-corto*.

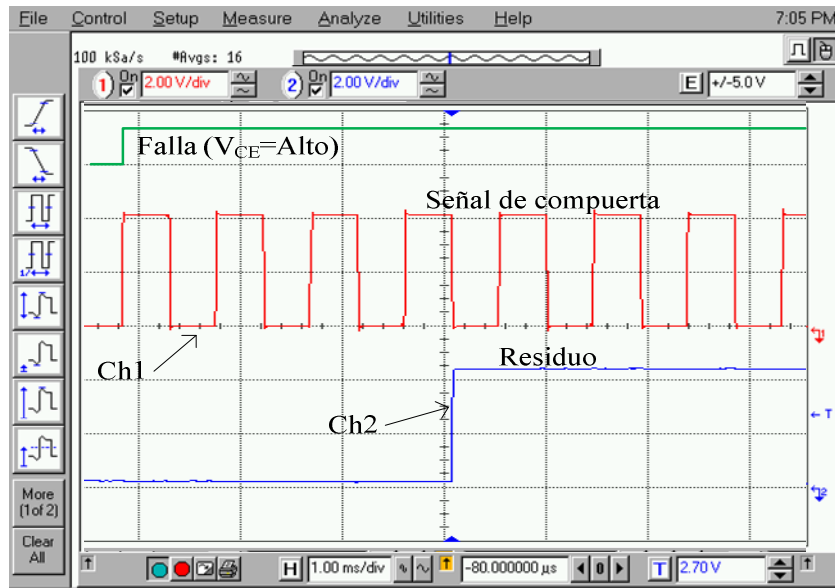


Figura 4.13. Resultados experimentales del circuito de detección emulando una avería por dispositivo-en-corto.

La emulación de la avería se obtiene cortocircuitando las terminales de colector y emisor del DUT utilizando otro dispositivo de potencia conectado en paralelo, de tal manera que la condición de avería solo se de cuando la magnitud de las señales V_{GK} y V_{AK} estén en nivel bajo. En el *Ch2* de la figura 4.13 se puede observar que después de cuatro ventanas de detección del *Ch1* la salida finalmente hace que $Ch2 = 1$. Para este caso particular de prueba, el proceso es iterativo porque la avería no es controlada en su totalidad y sólo para mejor apreciación visual la frecuencia de conmutación utilizada es de 1 KHz y para evitar un corto circuito entre en la fuente de CD se utilizando un circuito de prueba chopper con carga resistiva.

4.3.4 CONCLUSIÓN DE LA TÉCNICA PROPUESTA.

La ventaja de generar residuos con expresiones lógicas en lugar de analógicas (sumas), como lo hace J. Aguayo en [19], es que la implementación es más simple y además el tiempo de propagación del procesamiento es más rápido que las técnicas reportadas para el sistema *inversor-motor*. El problema de esta técnica aplicada en un sistema inversor trifásico es que esta técnica sólo puede ser aplicada a tres de los seis interruptores que constituyen el inversor porque durante el tiempo muerto de conmutación de los interruptores se genera una condición de alarma falsa. En este sentido se puede introducir un sensor de corriente por cada fase para corregir este problema, tal como lo hace J. Aguayo en [19], aunque dicho autor en el afán de conseguir la detección en el devanado del estator contempló el modelo paralelo del motor de inducción lo cual resultó en un tiempo total de detección de 8.33 *ms*. Por otro lado, si por cada fase se agregara un sensor para medir el transitorio de corriente y se involucra una ventana de

histéresis para detectar condición de avería, se puede conseguir por simetrías el diagnóstico completo de los de los seis interruptores, lo cual daría como resultado un tiempo de detección aproximadamente igual a $182 \mu\text{s}$; de los cuales $175 \mu\text{s}$ corresponde al tiempo de detección, $3.0 \mu\text{s}$ corresponde al tiempo de respuesta de los sensores de corriente y $4.0 \mu\text{s}$ corresponde aproximadamente al tiempo de propagación de la implementación de la ventana de histéresis. Por otro lado, aunque el tiempo de detección en un sistema *inversor-motor* tolerante a averías es inferior a lo que se ha reportado en [3] (4 ms), el tiempo de detección obtenido no puede ser utilizado para evitar la propagación de la avería al dispositivo complementario de la misma rama afectada cuando se presenta una avería por *dispositivo-en-corto*.

4.4 DETECCIÓN DE AVERÍA EN EL IGBT BASADA EN LA SEÑAL DE COMPUERTA DURANTE EL ESTADO TRANSITORIO.

El análisis de esta técnica parte del circuito equivalente de la señal de compuerta, en donde la región de compuerta a drenaje se modela mediante una capacitancia C_{GD} , la cual es la más vulnerable a fallar debido a que en ella se tiene gran movilidad del canal de conducción durante la conmutación del IGBT. Esta región está formada por una capacitancia variable C_{GDJ} , la cual modela la zona de deflexión, y una capacitancia fija C_{OXD} , la cual modela la región del óxido. En la figura 4.14 se muestra la estructura interna del IGBT con su circuito equivalente

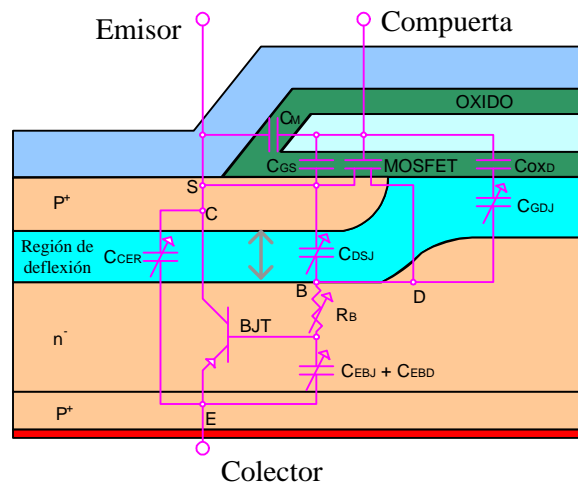


Figura 4.14. Estructura interna del IGBT.

La simplificación del circuito equivalente visto desde la compuerta al emisor del IGBT se obtiene despreciando la pequeña tensión de modulación de R_b y el voltaje del diodo interno del transistor bipolar del modelo interno durante el encendido. Lo anterior es porque la tensión aplicada de colector a

emisor es el voltaje de conducción, el cual es muy pequeño con respecto a la tensión de alimentación, por lo que se puede asumir que la terminal de drenaje D es aproximadamente igual a la terminal de colector C . Luego entonces, el voltaje colector-emisor V_{CE} del IGBT puede ser sustituido por el voltaje de drenaje-fuente V_{DS} como se muestra en la figura 4.15.

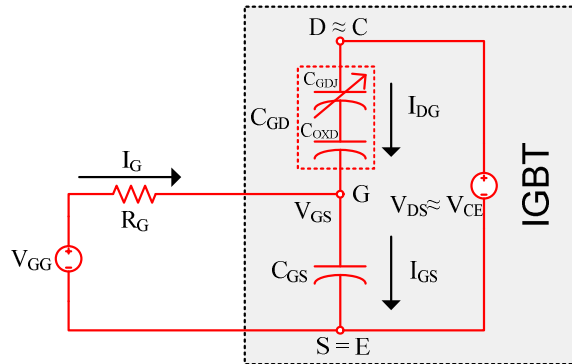


Figura 4.15. Circuito equivalente de la señal de compuerta del IGBT.

El comportamiento de C_{GDJ} se puede retomar de la expresión (8) en donde se puede observar que la variación de parámetros del diseño A_{GD} y del material ϵ_{si} afectan directamente a la zona de deflexión C_{GDJ} . La variación de estos parámetros podría aparecer como consecuencia del efecto destructivo del IGBT [20]. Esta modulación de C_{GDJ} también afecta la ecuación característica de C_{GD} en (5) y (6), la cual está definida por el comportamiento transitorio de V_{DS} y V_{GS} durante el encendido del IGBT ($V_{DS} > V_{GS}$).

La corriente de compuerta I_G se deduce del circuito equivalente de la figura 4.15 y está dada por la siguiente expresión.

$$I_G(t) = C_{GS} \cdot \frac{dV_{GS}(t)}{dt} - C_{GD} \cdot \frac{dV_{DS}(t)}{dt} + C_{GD} \cdot \frac{dV_{GS}(t)}{dt} \quad (12)$$

En la expresión anterior se observa que I_G es afectada directamente por la variación de C_{GD} lo cual causa un cambio significativo sobre el voltaje de compuerta del IGBT formando tres fases. En la figura 4.16 se muestra el voltaje de compuerta del IGBT utilizando un circuito chopper en donde una corriente de compuerta constante es forzada a circular durante el encendido con la intención de distinguir mejor el comportamiento de dichas fases.

4.4.1 FENÓMENO DESTRUCTIVO DEL IGBT.

La causa del fenómeno de ruptura puede ser explicado como sigue según [21] y [22]: cuando ocurre sobre-corriente en el dispositivo provocada por una avería local en uno de los IGBTs o diodos de un módulo, se puede alcanzar el punto límite de ruptura del cable de conexión interna (figura 4.16). En este punto, el cable de conexión emite cantidades relativamente grandes de energía al medio de aislamiento suave (gel). La energía transferida alcanza la temperatura límite del gel manifestando cambios en la materia y cambiando rápidamente del primer estado al estado líquido y después al estado del plasma. Al mismo tiempo, otros cables de conexión comienzan a fallar tanto en la misma trayectoria como en trayectorias alrededor de los cables de conexión debido a la excesiva corriente. Después, el gel se transforma en plasma lo cual produce una presión relativamente alta al interior del encapsulado del módulo y si la corriente no se interrumpe, la energía transferida continúa hasta alcanzar la ruptura de algún cable de conexión o hasta que la presión del plasma alcanza el punto de ruptura del encapsulado del módulo. Peor aún, si la falla continúa durante este tiempo es posible que toda la energía de la capacitancia del *bus de CD* del inversor se transfiera al sistema de potencia para causar serios severos daños en el inversor.

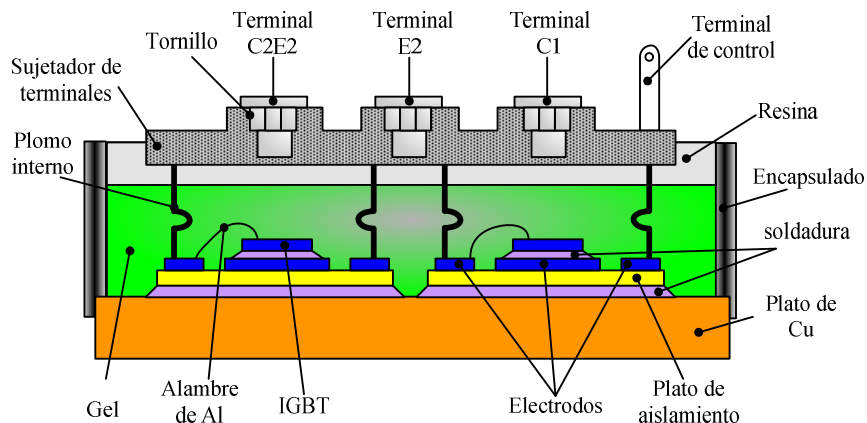


Figura 4.16. Módulo con dos dispositivos.

Un estudio desarrollado en [23] revela que antes del estrés térmico en un inversor, aparece una variación considerable en las curvas características del IGBT, lo cual de manera implícita demuestra la degradación de los parámetros del IGBT, reduciendo el área de operación segura y consecuentemente se incrementan las pérdidas en el dispositivo.

Durante la presencia de la degradación de los parámetros eléctricos, C_{GS} y C_{GD} son los más afectados [24]. Esta degradación podría iniciar con una fisura en la zona de la compuerta del IGBT. Esto ocurre antes de que suceda una abertura en el cable de conexión o en el encapsulado del dispositivo. De manera general, la secuencia de destrucción del IGBT ocurre inicialmente por sobre-corriente en el dispositivo por problemas internos como el

envejecimiento del dispositivo o problemas externos por sobre carga o durante la conmutación FUL o HSF (por sus siglas en inglés- *Fault Under Load, Hard Switch Fault*). Inicialmente, cuando se presenta una situación de sobre-corriente en el dispositivo, generalmente aparece un *dispositivo-en-corto* y después la alta temperatura dentro del encapsulado destroza los cables de conexión provocando un *dispositivo-abierto*. Pero antes de que el *dispositivo-en-corto* o *dispositivo-abierto* aparezca, los parámetros físico del IGBT son degradados causan una variación significativa ante el encendido del IGBT.

4.4.2 FASES DURANTE LA CONMUTACIÓN AL ENCENDIDO DEL IGBT.

Durante la conmutación al encendido se presentan tres fases como se muestra en la Figura 4.17 y éstas dependen básicamente de los niveles de voltaje V_{GS} y V_{DS} y se detallan a continuación:

Fase 1 ($t1 < t < t2$): En este punto V_{DS} es constante y mayor que V_{DS} y por lo tanto la capacitancia equivalente vista desde la compuerta al emisor solo depende de C_{GS} , esto se debe a que C_{GD} es muy pequeña y por lo tanto C_{GD} es depreciada para simplificar el análisis.

Fase 2 ($t2 < t < t3$): Esta fase tiene el comportamiento más complejo porque en este punto se genera una zona plana en la señal de compuerta haciendo que el primer y el tercer término de $I_G(t)$ en (3) se desprecien, entonces la corriente $I_G(t)$ queda determinada sólo por la pendiente negativa de V_{DS} y la magnitud de C_{GD} donde $C_{GD} = C_{OXD} + C_{GD}$.

Fase 3 ($t3 < t < t4$): Durante esta fase y según (2), el valor de C_{GD} puede ser considerado igual a C_{OXD} porque durante la conducción $V_{DS}(t)$ adquiere un valor pequeño e inferior a $V_{GS}(t)$, luego entonces, la capacitancia equivalente visto desde la compuerta al emisor es el paralelo eléctrico de C_{OXD} y C_{GS} .

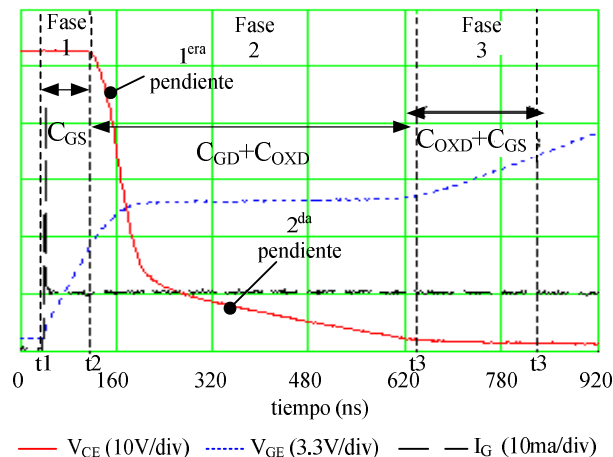


Figura 4.17. Carga en la compuerta del IGBT experimental.

Del comportamiento anterior de la señal de compuerta, se puede utilizar la modulación de la zona de deflexión para detectar averías por *dispositivo-en-corto* o *dispositivo-abierto* mediante la medición de la fase 2. Esto es, para una reducción de la zona plana se tiene una avería por *dispositivo-en-corto* y para una ampliación de la zona plana se tiene una avería por *dispositivo-abierto*. Cabe aclarar que este comportamiento sucede antes del fenómeno destructivo del IGBT. En la figura 4.18 se muestra un análisis paramétrico en donde la capacitancia C_{GD} se modificó indirectamente por medio de A_{GD} por cuestiones de disponibilidad de variación de parámetros en el simulador empleado (software de Pspice).

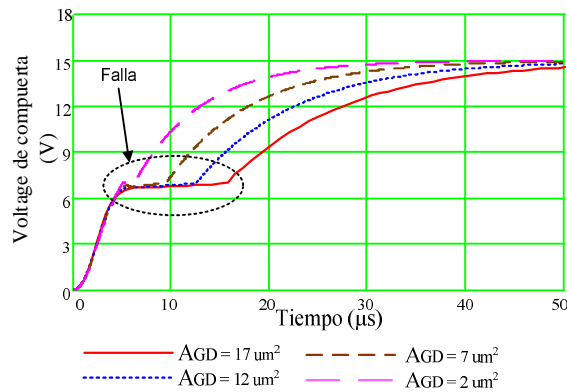


Figura 4.18. Simulación de la señal de carga en la compuerta variando A_{GD} .

En la figura 4.18 se muestra la zona de falla durante el encendido del IGBT. La falla puede ser evaluada desde el voltaje de umbral V_T hasta la fase tres en donde se asegure la evolución completa de la zona de deflexión ($V_{DS} < V_{GS}$). Si se toma en cuenta que en la mayoría de los IGBTs el voltaje de umbral V_T es aproximadamente $\frac{1}{4}$ de V_{GES} (Voltaje de saturación continua de compuerta-emisor) donde V_{GES} comúnmente es $\pm 20V$ y la zona plana del voltaje de compuerta es casi constante durante 5 volts más, entonces, los niveles de umbrales pueden ser definidos desde V_T a V_T+5 para asegurar la existencia de la zona de deflexión (fase 2).

El comportamiento durante la fase 2 puede ser utilizado para detectar averías en los IGBT de manera temprana. Además, también puede ser utilizado para evitar la destrucción total de los IGBT y activar rápidamente mecanismos tolerantes a fallas en sistemas con dinámicas rápidas, tal como en el sistema *inversor-motor*.

La interferencia inducida en una aplicación real puede ser un gran problema en la señal de compuerta pero se sabe que éste es principalmente generado por el inductor de emisor L_e . Este problema puede ser resuelto caracterizando los elementos parásitos y considerándolos en el diseño del circuito de detección de averías constituido por comparadores diferenciales con alta velocidad de respuesta y con alta impedancia de entrada. Esto para compensar su efecto y tener mejores señales para la detección a través del circuito propuesto.

4.4.3 VALIDACIÓN DE LA SEÑAL DE COMPUERTA EN PRESENCIA DE AVERÍA.

La variación de la señal de compuerta en presencia de avería se puede validar utilizando un circuito chopper con carga resistiva tomando en cuenta sólo la degradación por sobre-temperatura que ocurren en el IGBT por deficiente sistema de enfriamiento. La figura 4.19 muestra el circuito chopper implementado con carga resistiva y la figura 4.20 muestra los resultados experimentales obtenidos en la medición del voltaje de compuerta en condición libre y bajo avería de *dispositivo-en-corto* obtenida por sobre-temperatura y limitada a la corriente nominal para evitar la propagación de ésta.

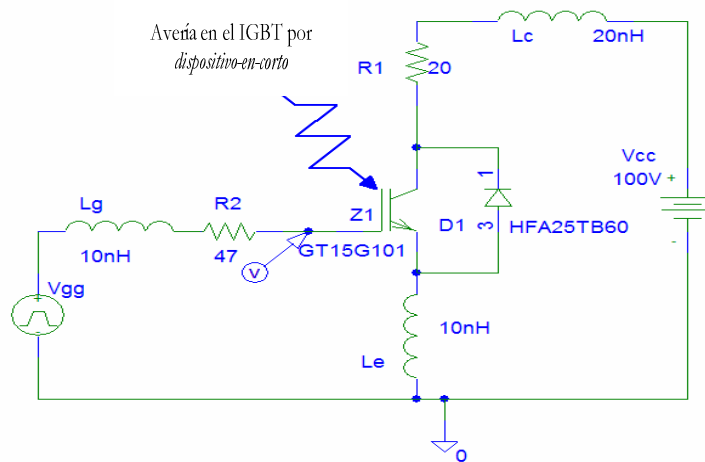


Figura 4.19. Circuito chopper experimental con carga resistiva.

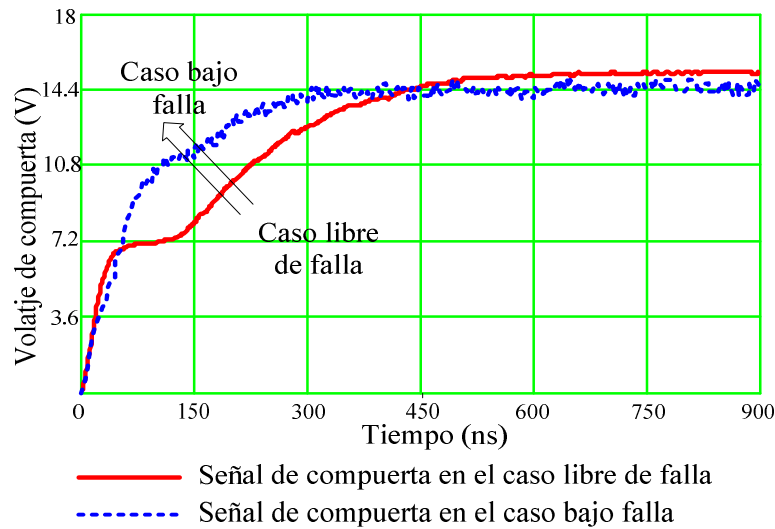


Figura 4.20. Resultados experimentales de la señal de compuerta.

El IGBT utilizado para esta prueba experimental es el GT15G101 con voltaje de conmutación $1200V$, corriente de colector $15A$ y encapsulado TO-247. Por otro lado, para dar mayor robustez a la detección de avería, la selección de los niveles de umbrales deben de comprender la variación de los parámetros eléctricos del IGBT causado por el envejecimiento ocasionado por el estrés térmico al cual todo dispositivo está sometido en una aplicación real.

4.4.4 CIRCUITO DE DETECCIÓN DE AVERÍAS.

Para asegurar una temprana *detección*, el esquema propuesto debe ser internamente implementado dentro del circuito impulsor del IGBT utilizando electrónica analógica y digital porque los tiempos de respuesta de estos componentes de tipo discreto son más rápidos que cualquier procesador digital en aplicaciones simples a nivel de compuertas. Por esta razón, el objetivo principal en el diseño de esta técnica es simplificar el algoritmo de *detección* y embeberlo en el circuito impulsor del IGBT. En este punto es importante aclarar que las averías por *dispositivo-en-corto* y *dispositivo-abierto* son contempladas por el circuito de *detección* propuesto dejando fuera las averías por sobre-corriente en el IGBT porque éste es otro caso de estudio relacionado con los esquemas de protección. Sin embargo, dada la rapidez de la detección, el esquema propuesto puede ser utilizado para evitar la propagación de la avería por *dispositivo-en-corto* o *sobre-corriente*.

El diseño del circuito de *detección* basado en la medición de la señal de compuerta consiste en medir, solo durante el encendido, la energía de la carga en la compuerta del IGBT desde V_T hasta V_T+5 dando como salida una señal $P1$, la cual es evaluada utilizando un *circuito de decisión* y umbrales de detección $VZ1$, $VZ2$ y $VZ3$ para posteriormente determinar *dispositivo-en-corto*, *dispositivo-abierto* o *libre de avería* en el IGBT. En la figura 4.21 se muestra un diagrama a bloques propuesto para evaluar la energía en la compuerta del IGBT y en la figura 4.22 se muestran las ventanas de detección indicando la zona de histéresis libre de avería.

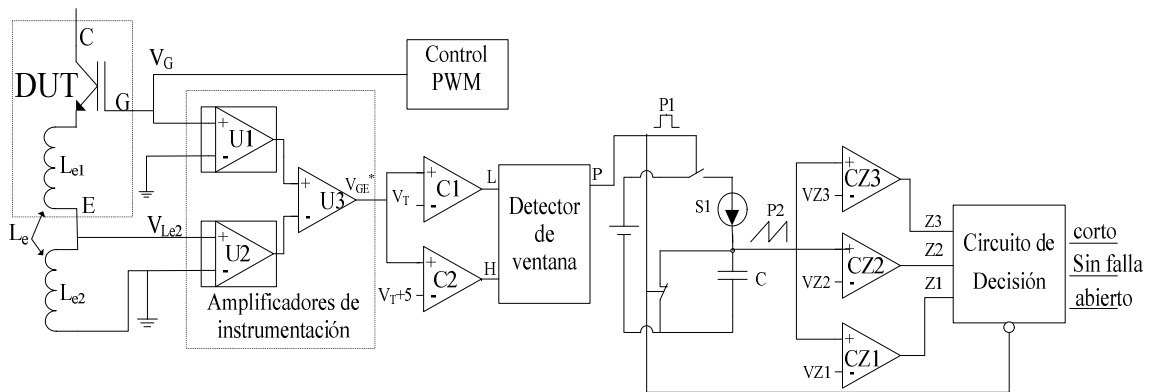


Figura 4.21. Esquema de detección de averías en el IGBT basado en la medición de señal de compuerta.

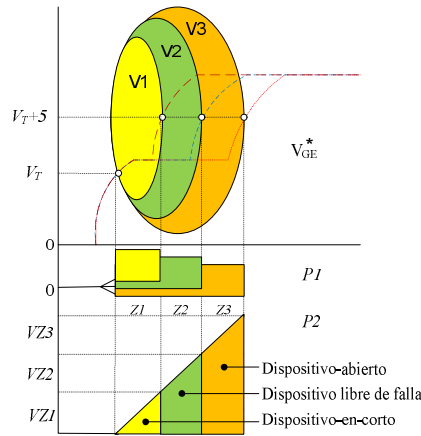


Figura 4.22. Diagrama de tiempo para determinar la anchura del P1 y la amplitud del P2.

El ancho del pulso $P1$ se determina por un *detector de ventana* compuesto por un circuito comparador con histéresis capaz de ignorar la evaluación durante la fase de apagado y durante la fase de encendido establecer los límites de la ventana de detección a través de dos comparadores de nivel $C1$ y $C2$ los cuales se ajustan desde un valor de voltaje V_T hasta V_T+5 , de tal manera que la anchura de $P1$ sea proporcional a la dinámica de la fase 2 de la señal de compuerta del IGBT V_{GE}^* . El tiempo de encendido de $P1$ se utiliza para cargar un capacitor C de manera lineal a través de una fuente de corriente constante habilitada por $S1$ lo que origina una señal tipo diente de sierra $P2$ en donde la magnitud de voltaje es proporcional a la anchura de $P1$. Posteriormente, la magnitud de $P2$ se compara con tres umbrales de detección de zonas $VZ1$, $VZ2$ y $VZ3$ ubicados en V_T , V_T+5 y V_{sat} generando así tres señales $Z1$, $Z2$ y $Z3$ y finalmente estas señales son evaluadas al final del $P1$ por un *circuito de decisión* el cual determina el estado operativo del sistema (sin avería o *dispositivo-en-corto* o *dispositivo-abierto* o condición inicial). La tabla de diagnóstico y los umbrales de las zonas se muestra en la figura 4.23.

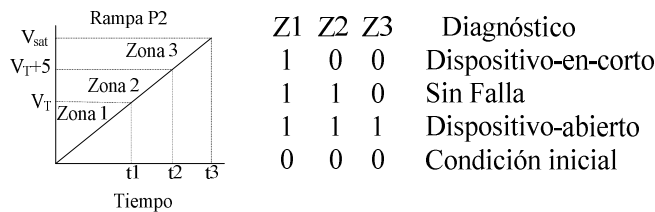


Figura 4.23. Decisión del diagnóstico.

Como es bien sabido, La interferencia inducida sobre la señal de compuerta del IGBT en una aplicación real puede ser un gran problema de medición, pero se sabe que éste es principalmente generado por el inductor de emisor $L_e = L_{e1} + L_{e2}$, donde L_{e1} representa la inductancia interna del dispositivo y L_{e2} representa la inductancia externa de la terminal de emisor a tierra. En este sentido, el problema puede ser resuelto caracterizando dicha

inductancia parásita y calibrando el circuito de medición de V_{GE}^* compuesto por dos amplificadores de instrumentación y un amplificador diferencial común. En la figura 4.24, se muestra el circuito de medición de V_{GE}^* .

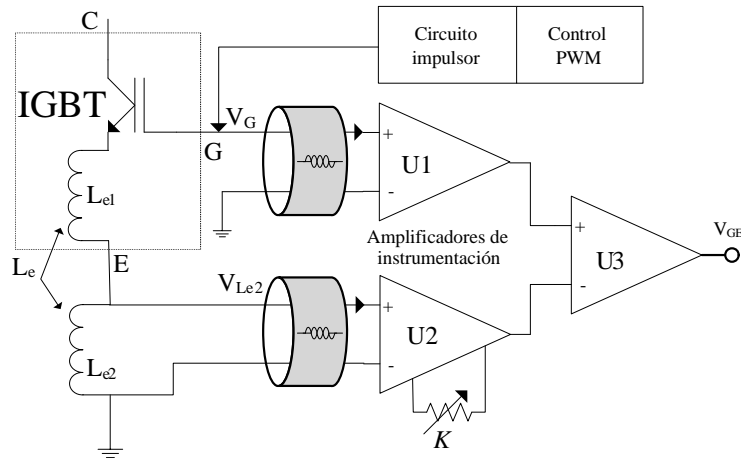


Figura 4.24. Circuito de medición de V_{GE}^* .

El funcionamiento del circuito de medición es muy simple y consiste en restar de V_G el voltaje de visto en L_{e2} amplificado K veces, utilizando $U2$, donde la magnitud de K está determinado por la relación de los voltajes V_{Le1} y V_{Le2} vistos a través de las inductancias parásitas del IGBT y del circuito de potencia respectivamente, según la expresión (18) la cual se deduce a partir de la ley de *Kirchhoff* de los voltajes visto desde la compuerta del IGBT, obteniendo la siguiente expresión.

$$V_{GE}^* = V_G - (V_{Le1} + V_{Le2}) \quad (13)$$

Donde

$$(V_{Le1} + V_{Le2}) = (L_{e1} + L_{e2}) \frac{di_c}{dt} \quad (14)$$

Asumiendo que la inductancia parásita L_{e2} es más grande que L_{e1} n veces donde n pertenece al conjunto de números reales positivos mayores que 1 se tiene que

$$L_{e1} = \frac{L_{e2}}{n} \quad (15)$$

Sustituyendo (15) en (14) se tiene que

$$(V_{Le1} + V_{Le2}) = \left(\frac{L_{e2}}{n} + L_{e2} \right) \frac{di_c}{dt} = \left(\frac{1+n}{n} \right) \cdot L_{e2} \cdot \frac{di_c}{dt} = \left(\frac{1+n}{n} \right) \cdot V_{Le2} = K \cdot (V_{Le2}) \quad (16)$$

Entonces

$$(V_{Le1} + V_{Le2}) = K \cdot (V_{Le2}) \quad (17)$$

$$V_{Le1} = (K - 1)V_{Le2} \quad (18)$$

Donde

$$K = \begin{cases} \left(\frac{1+n}{n} \right) \xrightarrow{Si} L_{e1} < L_{e2} \\ (1+n) \xrightarrow{Si} L_{e1} > L_{e2} \end{cases}$$

Ahora sustituyendo (17) en (13) se tiene que

$$V_{GE}^* = V_G - K \cdot (V_{Le2}) \quad (19)$$

El resultado en la ecuación (19) es una señal de compuerta atenuando la interferencia inducida atribuida a la inductancia parásita de emisor V_{GE}^* . El objetivo de utilizar $U1$ en el circuito de medición es introducir el mismo tiempo de retardo que $U2$, de esta manera la ejecución de la resta se realiza en el mismo tiempo utilizando $U3$, obviamente para reducir la interferencia capacitiva atribuida a los cables del circuito de entrada se utilizan amplificadores de instrumentación los cuales tienen un valor muy alto de rechazo en modo común. La tarea entonces es calcular el valor de K en función de las inductancias para ajustar el valor en el circuito de medición. En este sentido K se puede obtener involucrando las inductancias en (17) de la siguiente manera

$$\left(L_{e1} \cdot \frac{di_c}{dt} + L_{e2} \cdot \frac{di_c}{dt} \right) = K \cdot \left(L_{e2} \cdot \frac{di_c}{dt} \right) \quad (20)$$

Simplificando (20) se obtiene una expresión con respecto a las inductancias y al mismo tiempo se observa una dualidad con respecto a (17).

$$(L_{e1} + L_{e2}) = K(L_{e2}) \quad (21)$$

$$L_{e1} = (K - 1)L_{e2} \quad (22)$$

Despejando K de (21) y (17) se obtiene que

$$K = \frac{L_{e1}}{L_{e2}} + 1 \quad (23)$$

$$K = \frac{V_{Le1}}{V_{Le2}} + 1 \quad (24)$$

Donde L_{e1} puede ser provisto por el fabricante y L_{e2} debe ser medido de manera indirectamente. La técnica para medir L_{e2} ya ha sido reportada y consiste en evaluar V_{Le2} y dI_c/dt durante la medición del periodo transitorio de apagado del IGBT [25].

De manera lógica se puede pensar que el valor de K adquiere valores infinitos a medida que la inductancia de L_{e2} o el voltaje en V_{Le2} tienden a cero. Por lo que resulta evidente notar que la eliminación del voltaje inducido es un término inapropiado en cuanto a inductancia parásitas se refiere. Sin embargo, un valor pequeño de L_{e2} contribuye a un voltaje inducido en V_{Le2} menor, el cual puede ser un valor despreciable. Es decir, en términos de voltaje, un valor de V_{Le2} aceptable es 0.1 volts correspondiente al 0.66 % de la interferencia inducida máxima, el cual oscila entre los ± 7.5 volts (suponiendo un voltaje en la zona plana de la fase 2 en la señal de compuerta igual a 7.5 volts hasta el voltaje de saturación igual a 15 volts) por lo que el 100 % de escala es de 15 volts, luego entonces la ganancia máxima de K es de 150. Por lo tanto, este valor puede ser cómodamente ajustado por un amplificador de instrumentación sin sacrificar la razón de rechazo en modo común.

Otro detalle importante en esta técnica es que el valor de K varía para distinta aplicación porque la inductancia parásita L_e es diferente, por lo que se debe de considerar en cada circuito de prueba. Obviamente, si se necesitara aplicar esta técnica en distintos prototipos, la tarea

sería abrumadora, pero si se piensa en la producción en serie, la calibración formará parte de las pruebas de laboratorio habituales en el diseño de un equipo.

En la figura 4.25 se muestran los resultados de simulación para atenuar la interferencia inducida producida por la inductancia de cableado del emisor utilizando un circuito chopper para una rápida evaluación en el simulador empleado. El simulador empleado para esta aplicación es Pspice, el cual se seleccionó porque los modelados de sus componentes electrónicos poseen el mejor desempeño dinámico a nivel de dispositivos semiconductores electrónicos de potencia.

Es importante resaltar el comportamiento muy similar, a nivel de tiempos de conmutación de los interruptores de potencia, que tiene un circuito chopper en cualquier aplicación. Esto porque en el circuito chopper se pueden hacer pruebas a valores nominales, introducir inductancias parásitas de cableado, de emisor, entre otras, las cuales afectan exclusiva el transitorio de encendido del interruptor de potencia en cualquier aplicación como en el sistema *inversor-motor*. Es por ello que a menudo, los fabricantes de interruptores basan sus pruebas en el circuito chopper. En nuestro caso de estudio, hacer pruebas de simulación con este tipo de circuitos reduce en gran medida el tiempo de simulación ya que no es necesario simular el sistema *inversor-motor* completo.

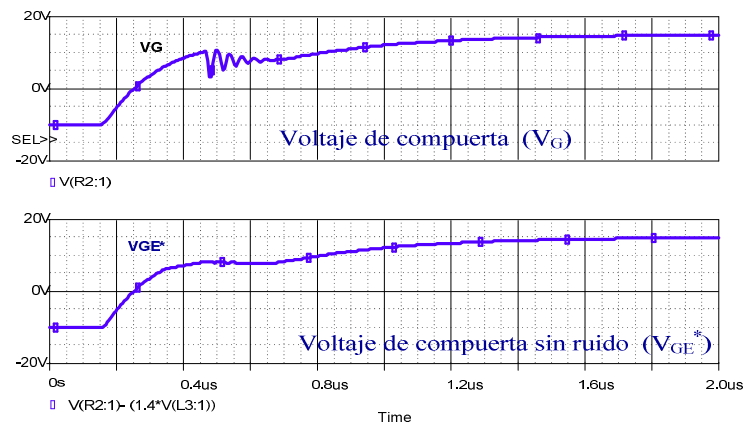


Figura 4.25. Atenuación de la interferencia inducida en la señal de compuerta con un valor de $K = 1.4$ ($L_{e1}=2$ nH y $L_{e2}=5$ nH).

Como en cualquier implementación, la tecnología actual de dispositivos semiconductores electrónicos seleccionados para el diseño del circuito propuesto juega un papel muy importante en cuanto al tiempo de propagación; esto es porque la impedancia alta de entrada (Z_{in}) y la alta tasa de cambio (*slew rate*), son características necesarias en la etapa de entrada y se sabe que estos dos parámetros guardan un compromiso opuesto en la manufactura de los amplificadores operacionales. En este sentido, el tiempo de retardo en la etapa de entrada del circuito propuesto consume aproximadamente un 82 % del tiempo total, tomando en cuenta un circuitos integrados de instrumentación con alta velocidad y entradas tipo FET (LT1102 de

la compañía Linear Technology). En la tabla 4.5 se muestra el desglose de los tiempos de propagación del circuito propuesto, en donde se puede apreciar la cantidad de componentes involucrados en la implementación. Así como también el tiempo de retado total constituido por procesamientos en serie y en paralelo. En el Apéndice 2 se muestra el detalle del circuito electrónico.

Tabla 4.5. Componentes involucrados durante el procesamiento para detectar averías en IGBTs.

Componente	Descripción	No.	Tiempo unitario	Tiempo
LT1102	Amplificadores de instrumentación de alta impedancia de entrada y alta tasa de cambio.	2	850 ns	1700 ns
LM319	Comparador de alta velocidad	4	80 ns	320 ns
74HCT	Compuertas lógicas	5	9 ns	45 ns
			Tiempo total de detección	2065 ns

Para el caso de aplicaciones que utilizan frecuencias de conmutación elevadas, por ejemplo 100 KHz, el tiempo de encendido ($5 \mu s$) no es al menos tres veces mayor que el tiempo de detección total del circuito propuesto ($2,065 \mu s$) y además la frecuencia de operación en conmutación dura de un IGBT no es superior a los 25 KHz. Por lo que si bien, el método puede ser extrapolado a MOSFET, no puede ser utilizado para frecuencias altas.

Por otro lado, para una mejor evaluación en la señal de compuerta, el transitorio de encendido puede ser ampliado utilizando una resistencia externa de compuerta de encendido R_G (ver R_G en la figura 4.15) de mayor valor para que la carga en la compuerta sea más lenta, sacrificando así la frecuencia máxima de conmutación, de tal manera que el transitorio de encendido sea al menos 3 veces mayor que el tiempo total de detección. Por lo que esta técnica resulta muy interesante para el sistema *inversor-motor* en aplicaciones de baja, mediana y sobre todo en alta potencia ya que la frecuencia de conmutación para mediana y baja potencia no es superior a los 25 KHz y para alta potencia no excede a los 6 KHz.

4.4.5 ANÁLISIS DE RESULTADOS.

En la figura 4.26 se muestra un circuito chopper simulado en Pspice con un circuito de detección de averías en el IGBT e implementado en un sub-circuito (*Cto_de_deteccion*) el cual se basa en la técnica propuesta. Cabe resaltar, que Pspice es un simulador con excelente desempeño dinámico del modelado del IGBT (*Z1*) y del diodo de libre circulación (*D1* y *D2*) [26], los cuales contribuyen específicamente en la velocidad del transitorio de encendido del

dispositivo interruptor de potencia utilizado en un circuito chopper. Adicionalmente y durante el encendido, las inductancias de cableado (L_c) y de emisor (L_e) provocan caídas escalonadas de tensión en el V_{CE} y distorsiones en las señales de compuerta V_{GE} respectivamente. En este sentido, contemplar todos los parámetros que puedan afectar el transitorio de encendido en el circuito de prueba ayuda en gran medida emular la señal de compuerta en condición libre de avería. Por otro lado, la tarea en el diseño del circuito de detección es utilizar componentes analógicos y digitales comerciales no idealizados pero considerando los parásitos involucrados en el circuito de medición de la figura 4.21. De esta manera es posible reducir la probabilidad de un diseño erróneo al someterlo a la práctica en un trabajo futuro. En el anexo 1, se muestra el detalle del circuito electrónico de *detección* simulado utilizando componentes comerciales no idealizados.

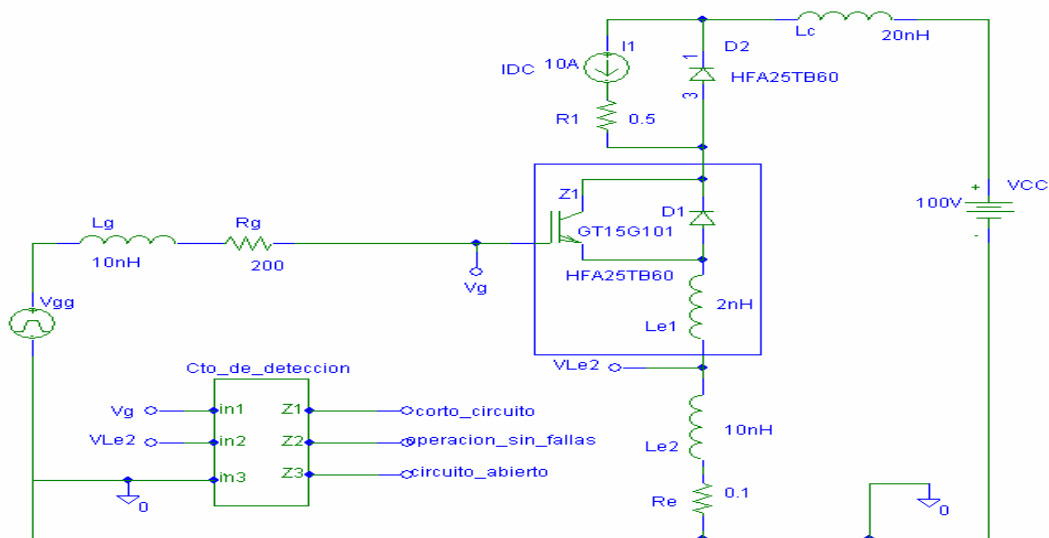
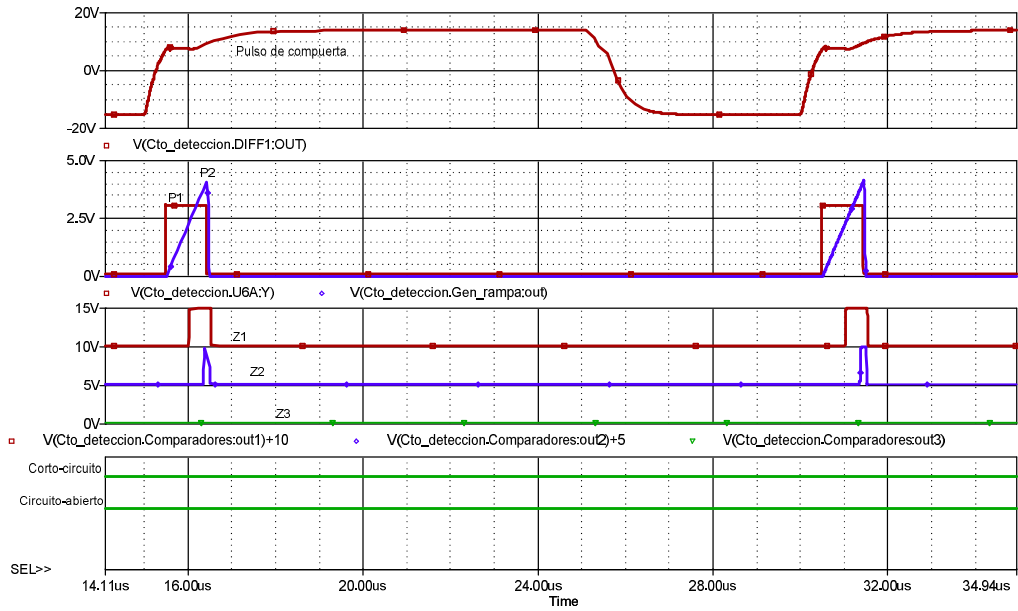
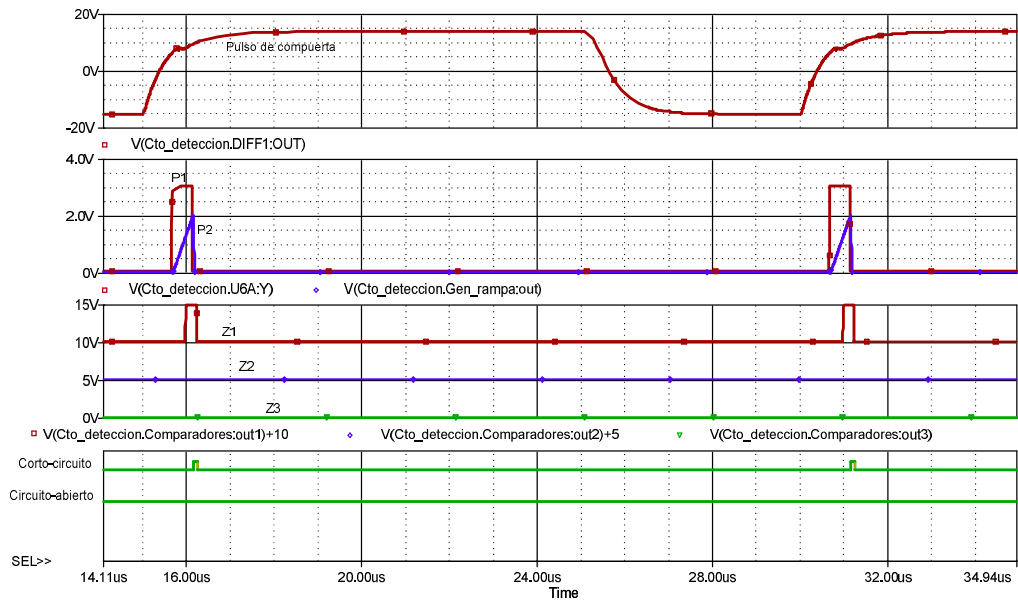


Figura 4.26. Circuito chopper utilizado para probar la técnica propuesta de detección mediante un sub-circuito implementado con componentes reales.

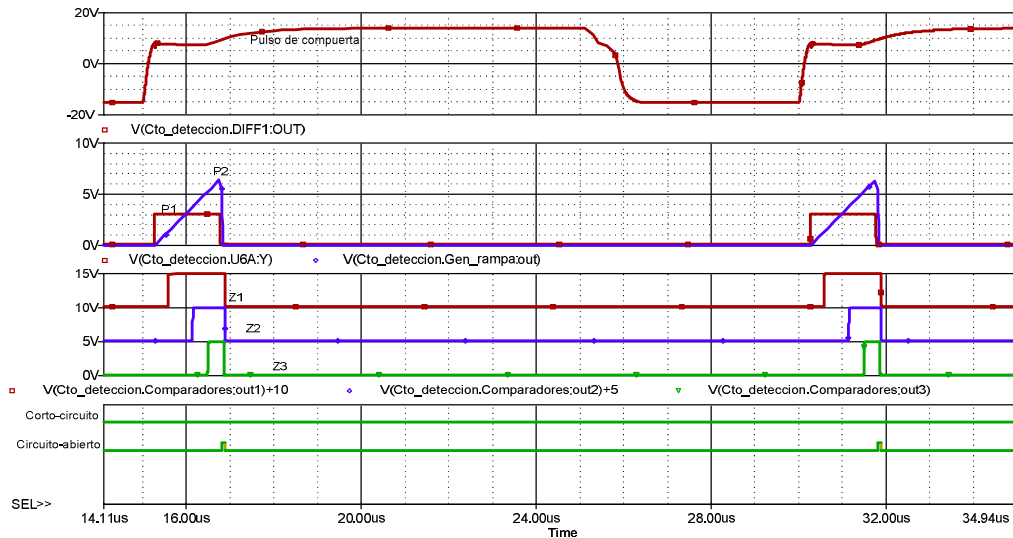
Cabe hacer notar que algunos componentes utilizados y disponibles en el circuito simulado no son los más óptimos en cuestión de tiempos de retardo, pero son muy adecuados para mejor apreciación visual del tiempo de *detección*. Sin embargo, se tiene que tener en cuenta que en una implementación física es conveniente seleccionar componentes con tecnologías recientes con el objeto de reducir aún más el tiempo de retardo de la *detección*, principalmente en los amplificadores de instrumentación. En la figura 4.27 se muestran los *residuos* obtenidos para el caso libre y bajo averías. Las averías por *dispositivo-en-corto* y *dispositivo-abierto* son emuladas mediante la variación indirecta del parámetro relacionado con la zona de deflexión de compuerta-drenaje C_{GD} del IGBT.



a) Caso libre de averías



b) Caso de dispositivo-en-corto



c) Caso de dispositivo-abierto

Figura 4.27. Residuos obtenidos utilizando el circuito de detección propuesto: a) Caso libre de avería, b) Caso de dispositivo-en-corto y c) Caso de dispositivo-abierto.

La emulación de una avería por *dispositivo-en-corto* o *dispositivo-abierto* se obtiene disminuyendo o incrementando el valor nominal de C_{GDJ} respectivamente, lo cual resulta en la modificación de la anchura del pulso $P1$ y a su vez en la magnitud de $P2$. De esta manera, cuando la magnitud de $P2$ alcanza la zona ($VZ1$) ó ($VZ1$ y $VZ2$) ó ($VZ1$, $VZ2$ y $VZ3$) se generan tres señales ($Z1$, $Z2$ y $Z3$) las cuales son evaluadas utilizando un circuito de decisión en donde se involucra la matriz de diagnóstico de la figura 4.23 y el resultado de la decisión se obtiene al final del pulso $P1$, el cual contempla el tiempo de propagación que demora la etapa del generador de $P2$ mas el tiempo de propagación de los comparadores de zona, esto con la intención diagnosticar en el congruentemente la condición de avería.

La desventaja general de la técnica presentada es que el método de *detección* no es generalizado para cualquier dispositivo de potencia. Sin embargo, puede ser aplicada en dispositivos de potencia que posean las características físicas de compuerta aislada como el IGBT y el MOSFET ya que la corriente del canal MOS interno y la carga en la compuerta que tienen estos dos componentes tienen un similar desempeño debido que ambos componentes obedecen a las ecuaciones (2)-(9) involucradas en la señal de compuerta, además al igual que en el IGBT, la zona de deflexión compuerta a drenaje representada por C_{GDJ} ante un estrés térmico sigue siendo la etapa más vulnerable a fallar [24].

La parte más interesante que hay que resaltar de esta técnica es la rapidez de la detección (2.067 us). Lo anterior es muy interesante en un sistema *inversor-motor* tolerante a averías basado en el enfoque de redundancia material no solo cuando es necesario activar adecuadamente el

mecanismo de reemplazo del elemento dañado para disminuir el error de seguimiento en la velocidad mecánica del motor durante el transitorio de falla, sino también para evitar que una avería, particularmente por *dispositivo-en-corto*, se propague al dispositivo complementario de la misma rama protegiéndolo oportunamente, antes de que éste sufra una falla irreparable, la cual se obtiene a los 10 μ s después de haberse iniciado la avería.

Con respecto a las técnicas reportadas de detección de averías en los dispositivos de potencia del sistema *inversor-motor* mostradas en la tabla 4.6 y expuestas en el capítulo 3, resulta muy difícil hacer una comparación en iguales condiciones porque los objetivos de cada sistema *inversor-motor* son diferentes.

Tabla 4.6. Comparación de las técnicas de detección de averías en los dispositivos de potencia para el sistema *inversor-motor*.

Técnica de detección	Sensores según la potencia de operación		Tipos de averías			Elemento localizado	Tiempo de Diagnóstico
			corto	abierto	Fase		
	L	H	F1	F2	F3		
<i>Interpretación de las trayectorias de corriente.</i> (R. Peugeot [27])	0	3 sc	NO	SI	NO	DSEP	8.33 ms
<i>Composición vectorial de armónicos de voltaje.</i> (F. Richardeau [28])	0	3 sv	SI	NO	NO	DSEP	5.5 ms
<i>Tiempos de conmutación.</i> (J. Aguayo [19])	3 sv	3 sv 3 sc	SI	SI	SI	RAMA	8.33 ms
<i>Medición del voltaje de polo.</i> (R. L. A. Ribeiro [3])	0	3 sv	NO	SI	SI	RAMA	4 ms

sv = sensor de voltaje, sc = sensor de corriente, F1 = Dispositivo-en-corto, F2 = dispositivo-abierto, F3 = fase-dañada, L = sensor situado en el lado de la compuerta, H = sensor situado en lado del colector o emisor del IGBT.

Por ejemplo, el objetivo de R. Peugeot [27] y F. Richardeau [28] es diagnosticar las averías en el inversor por *dispositivo-abierto* o *dispositivo-en-corto*, respectivamente, utilizando en ambos casos solo tres sensores. De manera agregada, el objetivo de J. Aguayo [19] no solo es diagnosticar averías por *dispositivo-abierto* y *dispositivo-en-corto*, sino también diagnosticar averías en el estator del motor de inducción por *devanado-abierto* y *devanado-en-corto*, aunque con ello se agregue un mayor número de sensores. De los objetivos anteriores, es importante resaltar que la velocidad de detección no es un factor relevante, esto es porque no existe una etapa posterior al diagnóstico que active un mecanismo tolerante a fallas en línea. Tal como lo hace Ribeiro [3], pero él considera que en un inversor, las averías por *dispositivo-en-corto* finalmente repercuten en averías por *dispositivo-abierto* o *pérdida-de-fase*, de esta manera el objetivo del autor se limita a tolerar solo estas dos averías. Por lo que, al igual que en los casos anteriores que utilizan solo 3 sensores para la detección, el sistema no exige una medición temprana de las

averías, ya que durante la detección de ellas no existe una condición peligrosa que propague inmediatamente la avería a otros componentes, como es el caso de la avería por *dispositivo-en-corto*.

Si bien es cierto, que una avería por *dispositivo-en-corto* repercute en una avería por *dispositivo-abierto*, también es muy cierto que durante la avería por *dispositivo-en-corto* se generan dos condiciones de operación; la primera es una operación anormal en la carga del inversor en donde el sistema no es capaz de mantener sus objetivos de control, y la segunda es una condición de corto circuito entre el *bus de CD* del inversor que puede llegar a ocasionar severos problemas antes de llegar a la ruptura explosiva del dispositivo dañado o condición de avería por *dispositivo-abierto*. Tales problemas pueden ser; propagación de la avería al dispositivo complementario de la misma rama, daño o degradación en el capacitor del *Bus de CD* y daño o degradación en el circuito rectificador del *Bus de CD*. Por lo tanto, para aplicaciones críticas en donde no es aceptable una operación anormal después o durante la avería y/o el paro inoportuno del proceso por problemas en el *bus de CD*, es necesario considerar un nuevo objetivo en donde se contemple un sistema *inversor-motor* tolerante a averías en los dispositivos tanto para averías por *dispositivo-abierto* como averías por *dispositivo-en-corto*, lo cual exige que el tiempo de detección no supere los 10 μ s.

En este sentido, el método propuesto en esta sección cumple con el tiempo de detección requerido ($<10 \mu$ s) y además esta técnica puede ser utilizada en aplicaciones en donde la base constitutiva del inversor son módulos de un solo dispositivo como los inversores que utilizan IGBTs de alta potencia ya que la tendencia para este tipo de IGBTs se orienta a este tipo de encapsulados.

4.4.6 CONCLUSIÓN DE LA TÉCNICA PROPUESTA.

- Una avería por *dispositivo-en-corto* aparece inicialmente durante el efecto destructivo del IGBT debido a la degradación de los parámetros eléctricos y de diseño del IGBT. La carga en la compuerta durante la fase 1 y 2 se modifica y en algunos casos aparece un corto circuito entre la compuerta y emisor. Finalmente la corriente alta de colector destroza la conexión interna del dispositivo causando una avería por *dispositivo-abierto*.
- Los datos experimentales obtenidos de la señal de compuerta en condición libre y bajo avería mostrados en la figura 4.20 comprueban que un estrés térmico durante una avería por *dispositivo-en-corto* provoca una degradación del parámetro eléctrico relacionado con la zona de deflexión de compuerta C_{GDJ} .
- Ventajas de la técnica presentada y el circuito propuesto

- a) A pesar de la limitación tecnológica de los componentes electrónicos utilizados en el circuito propuesto, la *detección* y el diagnóstico de la avería es muy temprana, ideal para cualquier sistema de potencia tolerantes a averías.
 - b) El diagnóstico temprano $<10 \mu s$ puede evitar la propagación de la avería en los dispositivos de potencia de la misma rama en un sistema *inversor-motor* tolerante, lo cual es muy interesante para tolerar mas fallas en los dispositivos de potencia del inversor.
 - c) Es ideal para el sistema *inversor-motor* tolerante a fallas de alta potencia compuesto por módulos con un solo dispositivo.
- Desventajas de la técnica y el circuito propuesto
- a) Solo es aplicable en dispositivos de compuerta aislada como el IGBT y MOSFET
 - b) La frecuencia de conmutación máxima se reduce, pero es adecuada para aplicaciones de alta potencia donde la frecuencia de operación es baja.
 - c) La necesidad de atenuar la interferencia inducida de la señal de compuerta en el diseño del circuito de detección, bajo el enfoque de redundancia física contribuye al uso de un punto de medición extra, por lo que la detección de avería no solo se consigue utilizando V_G sino también V_{LE2} . Por lo tanto, el punto a) de la hipótesis inicialmente planteada no llega a ser del todo cierta.

4.5 BIBLIOGRAFÍA.

- [1] Silverio Bolognani, Marco Zordan, Mauro Zigliotto.: **Experimental fault-tolerant control of a PMSM drive**. IEEE Transaction on Industrial Electronics, Vol. 47, No.5, pp. 1134-1141, October 2000
- [2] B.A. Welchko, T.A. Lipo, T.M. Jahns, S.E. Schulz, *“Fault tolerant three-phase AC motor drive topologies: a comparison of features, cost, and limitations,”* IEEE Transaction on Power Electronics, Vol. 19, No. 4, pp. 1108-1116, July 2004.
- [3] R. L. A. Ribeiro, C. B. Jacobina, E. R. C. da Silva and A. M. N. Lima.: **Fault-tolerant voltage-fed PWM inverter AC motor drive systems**. IEEE Transactions on Industrial Electronics, Vol. 51, No. 2, pp. 439 – 446, April 2004
- [4] A.M.S. Mendes and A.J. Cardoso.: **Performance Analysis of Three-Phase Induction Motor Drives Under Inverter Fault Conditions**. SDEMPED 2003, Symposium on Diagnostic for Electric Machines, Power Electronics and Drives, Atlanta, GA. USA, 24-26 August 2003.
- [5] Siemens -Tutorial de fundamentos del IGBT, p. 4
- [6] T. Laska, G. Miller, **“A 2000V-Non-Punch-Through-IGBT with Dynamical Properties like a 1000V-IGBT”**, IEDM 90 Technical Digest, p. 807-810
- [7] T. Laska, G. Miller, J. Nierdermeyr, **“A 2000V-Non-Punch-Through-IGBT with High Ruggedness”**, Solid-State Electronics, Vol.35, 1992, p. 681-685
- [8] A.R. Hefner, Jr., **“An Improved Understanding for the Transient Operation of the Power Insulated Gate Bipolar Transistor (IGBT)”**, IEEE Transactions on Power Electronics, Vol. 5, No. 4, October 1990, p. 459-468
- [9] A.R. Hefner, Blackburn D.L., **“Performance Trade-off for the Gate Bipolar Transistor: Buffer Layer versus Base Lifetime Reduction”**, IEEE PESC, Proceedings, 1986, p. 27-38
- [10] B. Allard, H. Morel, J. Chante, **“State-Variable Modeling of High-Level Injection Regions in Power Devices”**, Application to power system simulation, IEEE PESC-Record, 1992, p.885-892.
- [11] A.R. Hefner, Jr. and D.L. Blackburn, **“An Analytical Model for the Steady-State and Transient Characteristics of the Power Insulated-Gate Bipolar Transistor”**, Solid-Stated Electronics, Vol. 31, No. 10, 1988, p. 1513-1532
- [12] G.T. Oziemkiewicz, **“Implementation and Development of the NIST IGBT Model in a SPICE-based Commercial Circuit Simulator”**, Enginner’s Thesis, University of Florida, December 1995
- [13] A.R. Hefner, Jr., **“Modeling Buffer Layer IGBTs for Circuit Simulation”**, IEEE Transactions on Power Electronics, Vol. 10, No. 2, March 1995, p. 111-123
- [14] M. Cotorogea, **“Netzwerksimulation des Insulated Gate Bipolar Transistor (IGBT)”**, Tesis Doctoral, 1993, Universidad Técnica de Berlín, Alemania
- [15] F. Mihalic, and M. Rentmeister **“IGBT SPICE Model”**, IEEE Transactions on Industrial Electronics, Vol. 42, No.1, Febraury 1995
- [16] A.R. Hefner, Jr. and D. M. Dielbolt, **“An Experimentally Verified IGBT Model Implemented in the Saber Circuit Simulator”**, IEEE Transactions on Power Electronics, Vol. 9, No. 5, September 1994, p. 532-542
- [17] R. Iserman, **“Supervision, Fault-Detection and Fault-Diagnosis Methods - an Introduction,”** Control Engineering Practice, Vol. 5, No. 5, 1997, pp. 639-652.
- [18] A. M. S. Mendes and A. J. Marques, **“Voltage source inverter fault diagnosis in variable speed ac drives, by the average current Park’s vector approach,”** in Proc. IEEE International Electric Machines and Drives Conference, 1999, pp. 704–706.

-
- [19] J. Aguayo, **“Diagnóstico de fallas en un inversor a partir de los tiempos de conmutación en los dispositivos semiconductores,”** Doctoral thesis, CENIDET México, December 2004.
- [20] Alexander H. Craing, Ronald H. Randall, Joe Yedinak, **“IGBT ghost failures in boost topology circuits explained through third quadrant operation,”** IEEE Applied Power Electronics Conference and Exposition APEC 2000, New Orleans, LA, USA, Vol. 2, pp. 1103-1108, 2000
- [21] D. Braun, D. Pixler, P. LeMay, **“IGBT module rupture categorization and testing,”** Industry Applications Conference, 1997. Thirty-Second IAS Annual Meeting, IAS '97., Conference Record of the 1997 IEEE, New Orleans, LA, USA, Vol. 2. pp. 1259-1266
- [22] Duong, S., Schaeffer, C., **“Investigation on fuses against IGBT case explosion”**, Proceedings of PCIM-Europe June 97, pp. 123-132
- [23] A. Maouad, A. Khoury, F. Dujardin, A. Hoffmann, and J.-P. Charles, **“Degradations characterization for IGBT’s operating Above the 125°C MIL temperature in AC converters,”** Mediterranean Conference for Environment and Solar, Beirut, Lebanon, pp. 145-148, 2001
- [24] Chuanzhao Yu, J. S. Yuan and Hong Yang, **“MOSFET linearity performance degradation subject to drain and gate voltage stress,”** IEEE Transactions on Device and Materials Reliability, Vol. 4, No. 4, pp. 681-689. December 2004
- [25] Malay Trivedi and Krishna Shenai, **“Parastic Extraction Methodology For Insulated Gate Bipolar Transistors,”** IEEE Transactions on Power Electronics, Vol.15, Issue 4, Jul 2000, pp.799 - 804.
- [26] M. A. Rodríguez, **“Desarrollo e Implementación de un Procedimiento de Extracción de Parámetros para un Modelo Físico del IGBT,”** M.Sc thesis, CENIDET México, July 2001.
- [27] R. Peugot, S. Courtine and J. P. Rognon, **“Fault Detection and Isolation on a PWM Inverter by Knowledge-Based Model,”** IEEE Transactions on Industry Applications, Vol. 34, No. 6, pp. 1318-1325. November/December 1998
- [28] Frédéric Richardeau, Philippe Baudesson, and Thierry A. Meynard, **“Failures-tolerance and remedial strategies of a PWM multicell inverter,”** IEEE Transactions on Power Electronics, Vol. 17, No. 6, pp. 905-912, November 2002.

Capítulo 5

SISTEMA INVERSOR-MOTOR TOLERANTE A AVERÍAS CON REDUNDANCIA MATERIAL

En este capítulo se expone el esquema propuesto del sistema *inversor-motor* tolerante a averías en los DSEP mostrando las etapas que constituyen el mecanismo tolerante y se hace énfasis a la etapa del reemplazo del elemento dañado, en donde el objetivo es diseñar una metodología para reemplazar el elemento dañado tomando como criterio; la disminución del error de seguimiento de la corriente de referencia del motor. Adicionalmente se muestran los resultados de simulación y experimentales que validan la metodología resultante.

5.1 INTRODUCCIÓN.

Las investigaciones sobre el sistema *inversor-motor* actualmente se centran en el diagnóstico [1] y control tolerante a fallas [2], Las áreas de interés que abordan la mayoría de éstas investigación se enfocan el diseño de nuevos algoritmos matemáticos para diagnosticar y reconfigurar el sistema, tomando como dato de partida la señal filtrada e idealizada de la detección. Otra área de investigación son los esquemas tolerantes bajo el enfoque de redundancia material [3], [4], [5], [6], [7] en donde el objetivo es reemplazar el elemento dañado o reestructurar el esquema en línea para tratar de mantener la operación constante después de una avería. Sin embargo, una *detección* temprana de la avería en los DSEP para evitar la propagación de ésta y el mejor momento del *reemplazo del elemento dañado* para disminuir el error de seguimiento no han sido ampliamente investigados.

En la literatura se han reportado muchos esquemas tolerantes a averías en los DSEP con redundancia dinámica y unidades de respaldo tipo *respaldo-en-frío* aplicados al sistema inversor conectado a un motor de inducción trifásico. En los esquemas reportados se consideren distintos elementos auxiliares redundantes [3], [5], [6], [8] y [9], como interruptores, ramas, fuentes e incluso inversores completos. De aquí, el esquema con una rama auxiliar es el único que puede soportar una avería en los DSEP y mantener su operación sin someter al sistema a trabajar en condiciones de operación forzadas es decir sin degradar el desempeño del sistema *inversor-motor* a plena carga [3], [5] y [6]. Sin embargo, reemplazar la rama completa, en lugar de sólo el DSEP dañado, no es una decisión óptima porque el otro dispositivo en buen estado de la rama dañada podría ser empleado como otra unidad redundante y agregar una tolerancia adicional. Además físicamente no es posible que los dos componentes de la misma rama lleguen a dañarse al mismo tiempo. Lo que sí es posible, es que la avería en un dispositivo se haya propagado al otro dispositivo, lo cual se puede evitar con una detección y protección rápida de la avería.

Por otra parte, y aunado a las desventajas de los esquemas reportados en la literatura, se puede resaltar que todos los esquemas tolerantes se enfocan solo para medianas potencias, además el circuito de *detección* está dedicado para detectar averías en las rama en lugar de solo el dispositivo dañado. Sin embargo, la tendencia de fabricación de dispositivos para alta potencia está encaminada al uso de módulos con un solo dispositivo, por lo que un nuevo esquema de *detección* temprana de averías en los dispositivos y un nuevo esquema tolerante a averías compuesto por este tipo de módulos resultan muy interesante para aplicaciones críticas de alta potencia.

5.2 ESQUEMA PROPUESTO.

El sistema *inversor-motor* tolerante a averías propuesto contiene un inversor trifásico compuesto por 8 módulos de un solo IGBT, de los cuales 2 son unidades redundantes (figura 5.1). Esto permite al sistema soportar dos posibles averías en los IGBTs de diferente posición de las ramas del inversor (dispositivo de arriba o de abajo de la rama) por medio de la activación de interruptores bidireccionales ($A_{a,b,c}$) y $C_{(a,b,c),(p,n)}$ para crear nuevas trayectorias eléctricas de manera que permita aislar y reemplazar el elemento dañado. Es importante resaltar que la confiabilidad del equipo por agregar dispositivos bidireccionales auxiliares no se ve severamente afectada porque éstos no sufren esfuerzos por conmutación ya que su régimen de operación es comúnmente constante.

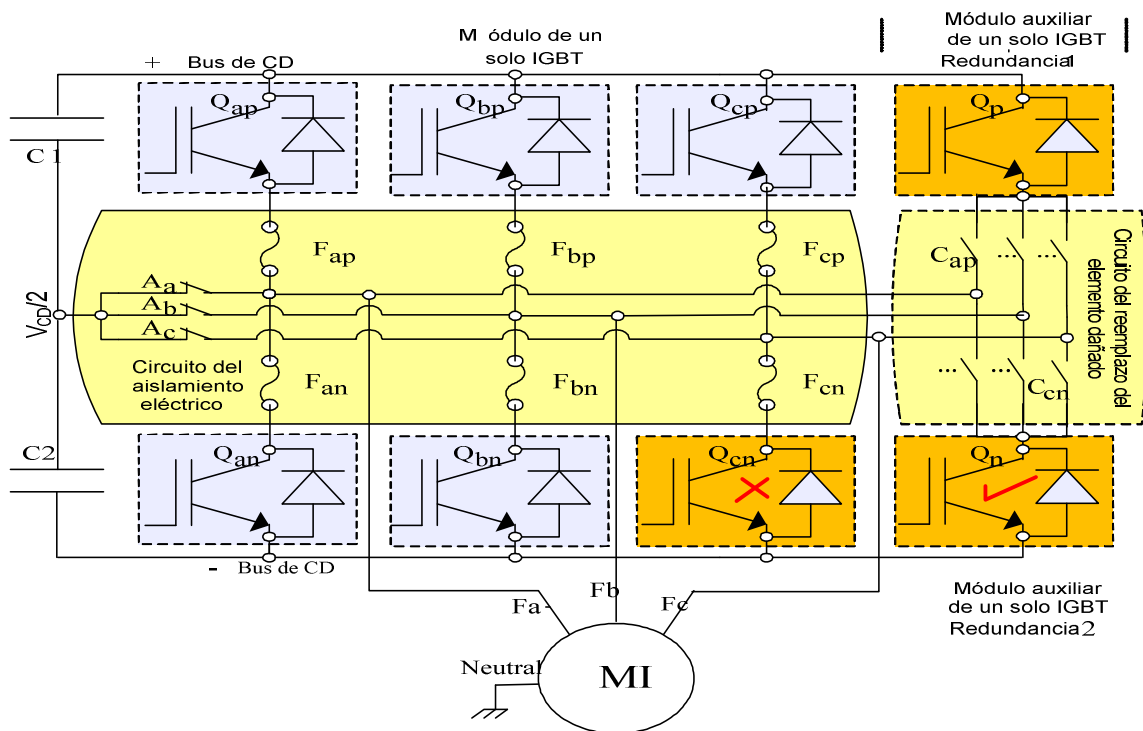


Figura 5.1. Sistema *inversor-motor* tolerante a averías con redundancia múltiple.

En el esquema anterior, los dispositivos Q_{xp} y Q_{xn} pueden ser reemplazados por la redundancia Q_p y Q_n respectivamente (donde x representa la rama a, b o c). Por ejemplo, si Q_{cn} es el elemento dañado por *dispositivo-en-corto*, entonces Q_n será el elemento de respaldo, A_c será el interruptor de *aislamiento eléctrico* y C_{cn} será el interruptor de conexión. La rapidez de la detección en este tipo de averías sirve para proteger al dispositivo complementario de la misma rama mientras se realiza el reemplazo. Pero si la avería es por *dispositivo-abierto*, entonces solo basta

con reemplazar el elemento dañado. Es importante mencionar en este tipo de sistemas no se presentan averías simultáneas debido a la naturaleza del sistema ya que generalmente una avería conlleva a otra. Por otro lado, este sistema solo puede soportar dos averías de manera única y secuencial en la parte superior e inferior de las ramas del inversor. Sin embargo, si llegaran a fallar los interruptores de aislamiento (A_x) o de conexión (C_{xp} , C_{xn}) con el dispositivo dañado, entonces el motor quedaría conectado a dos fases con lo que el desempeño de la velocidad se vería sumamente afectada.

Una posible mejora al sistema propuesto podría ser la adición de un dispositivo bidireccional de conexión entre la línea neutral y el punto intermedio del *bus de CD* ($V_{CD}/2$) para tolerar una avería en el devanado del estator del motor o una tercera avería en los dispositivos del inversor en donde la conexión de las unidades redundantes 1 o 2 no pueden soportar dicha avería y la tolerancia se obtiene reconfigurando el control para trabajar al motor con dos fases y la terminal neutral conectada al voltaje intermedio del *bus de CD* ($V_{CD}/2$). La desventaja de esta adición es que el sistema pasa de operar en régimen normal al régimen degradado después de la avería, lo cual aplica para procesos que acepten una cierta degradación, contrario al esquema propuesto. Una adición al sistema podría ser la adecuación de la técnica de detección de averías basado en la señal de compuerta para proteger el dispositivo que se encuentre influenciado por sobre-corriente por medio del establecimiento de umbrales en la señal de compuerta, de esta manera es posible proteger al sistema ante una avería en el motor por devanado del estator en corto.

5.2.1 SECUENCIA TOLERANTE.

La etapa posterior a la *detección* y *localización* de la avería en un sistema tolerante es la activación de mecanismos tolerantes para tratar de mantener en operación al proceso. En el caso del sistema *inversor-motor*, la estrategia después de diagnosticar la avería es aislar eléctricamente y reemplazar el elemento dañado a través de los dispositivos de aislamiento $A_{a,b,c}$ y conexión $C_{(a,b,c),(p,n)}$. La figura 5.2 muestra el diagrama de tiempos para el sistema *inversor-motor* tolerante a averías.

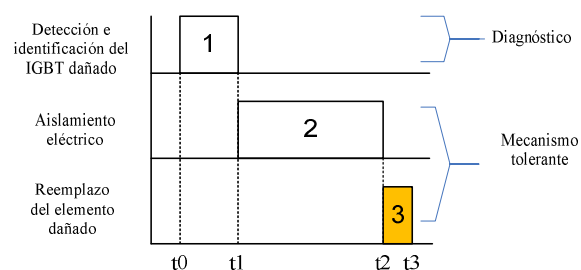


Figura 5.2. Diagrama de tiempos general para el sistema *inversor-motor* tolerante a averías.

En un sistema *inversor-motor* tolerante a averías se sabe que la información temprana del diagnóstico al sistema supervisor puede evitar la propagación de una avería por *dispositivo-en-corto* y que el tiempo de aislamiento está limitado por la energía máxima de ruptura y fusión asociada con el flujo de la corriente i^2t de los fusibles utilizado. Sin embargo, el mejor momento del *reemplazo del elemento dañado* no necesariamente debe de ser inmediatamente después del *aislamiento eléctrico* por problemas de sincronización. Por lo tanto, una aportación en este trabajo, después de la *detección* de averías, es determinar el tiempo más adecuado para realizar el *reemplazo del elemento dañado* tomando en cuenta el error de seguimiento de la corriente del motor por avería en los dispositivos, considerando un control de velocidad en *laço-abierto* y en *laço-cerrado*.

5.2.2 AISLAMIENTO ELÉCTRICO.

En el sistema *inversor-motor* se pueden presentar dos tipos de fallas, abruptas e incipientes. Las fallas abruptas son muy peligrosas porque se establece una corriente de *corto-circuito* entre el *bus de CD+* y el *bus de CD-*. Estas fallas pueden ocurrir por *dispositivo-en-corto*, corto circuito entre fases o corto circuito de fase a tierra como se muestra en la figura 5.3. En este trabajo el caso de estudio aplica para el esquema de la figura 5.3a porque resulta muy interesante introducir una técnica de detección temprana en los dispositivos de potencia para proteger al dispositivo en buen estado que forma parte de la trayectoria eléctrica de corto circuito.

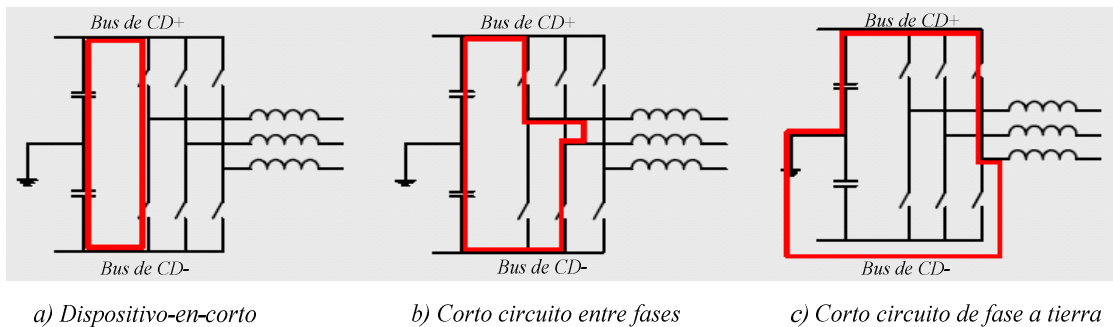


Figura 5.3. Fallas abruptas en el inversor.

Las fallas de tipo incipiente se caracterizan porque éstas se presentan por degradación del aislante del devanado del estator como se muestra en la figura 5.4. A este tipo de fallas se les considera lentas, sin embargo la degradación excesiva de este tipo de fallas finalmente pueden repercutir en una falla abrupta.

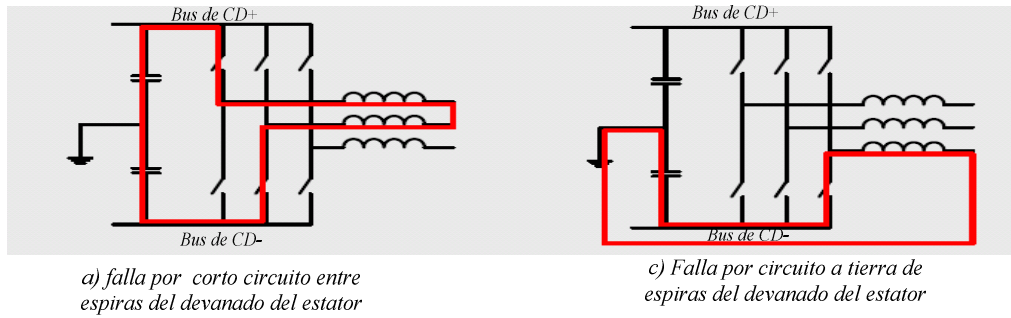


Figura 5.4. Fallas incipientes en el motor.

Las fallas abruptas o incipientes que pueden ocurrir en un sistema *inversor-motor* repercuten inevitablemente en sobre-corriente en los dispositivos. Por lo tanto, agregar fusibles en serie con los interruptores, como se muestra en la figura 5.5 es una buena opción para proteger al sistema contra sobre-corriente por falla en los dispositivos o por falla en el devanado del estator.

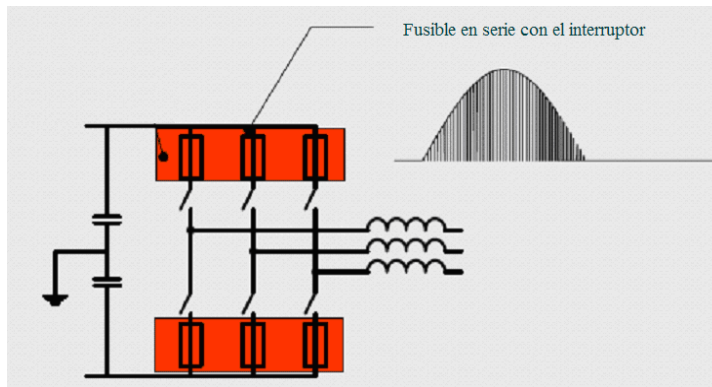


Figura 5.5. Posición de los fusibles protectores o aislantes.

Actualmente, los nuevos avances tecnológicos en la fabricación de fusibles de alta velocidad de fusión está dando la apertura para utilizar esquemas de *aislamiento eléctrico* utilizando este tipos de dispositivos como el que se propone en [6] y se retoma en este trabajo, en donde no es necesario evitar el flujo de sobre-corriente a través del dispositivo como se hace en [8] y [9]. Además, existen fusibles con tiempos de abertura muy reducidos (bajo i^2t) como los fusibles de alta velocidad de la serie *FW* y *KT* de *Bussmann* con tiempos de abertura hasta de 1ms.

5.2.3 REEMPLAZO DEL ELEMENTO DAÑADO.

En un inversor, cuando ocurre una avería en los dispositivos del inversor, la corriente de la fase afectada tiende a cero, esto hace que el voltaje en el motor tienda también a cero $V_{xs}=0$. En el caso de un sistema con control vectorial, el voltaje V_{qs}^e en el marco de referencia dq se afecta inmediatamente, lo cual causa variación en la corriente i_{qs}^e con una constante de tiempo T_a y después la señal de control del inversor ($i_{Tm}^* - i_{Tm}$) es modificada por la función de transferencia retroalimentada H_c . En la figura 5.6 se muestra el diagrama de bloques del motor de inducción controlado vectorialmente donde el flujo del rotor se mantiene constante para simplificar las funciones de transferencia. Dicha simplificación es muy importante porque el sistema *inversor-motor* puede verse como un sistema lineal incluso a gran señal, cuando los enlaces de flujo se mantienen constantes, y por lo tanto se asemeja al control de un motor de CD excitado separadamente en todo aspecto. En el Apéndice 6 se da una explicación del funcionamiento del control vectorial aplicado al sistema *inversor-motor*, deduciendo las funciones de transferencia y sintonización del control de velocidad.

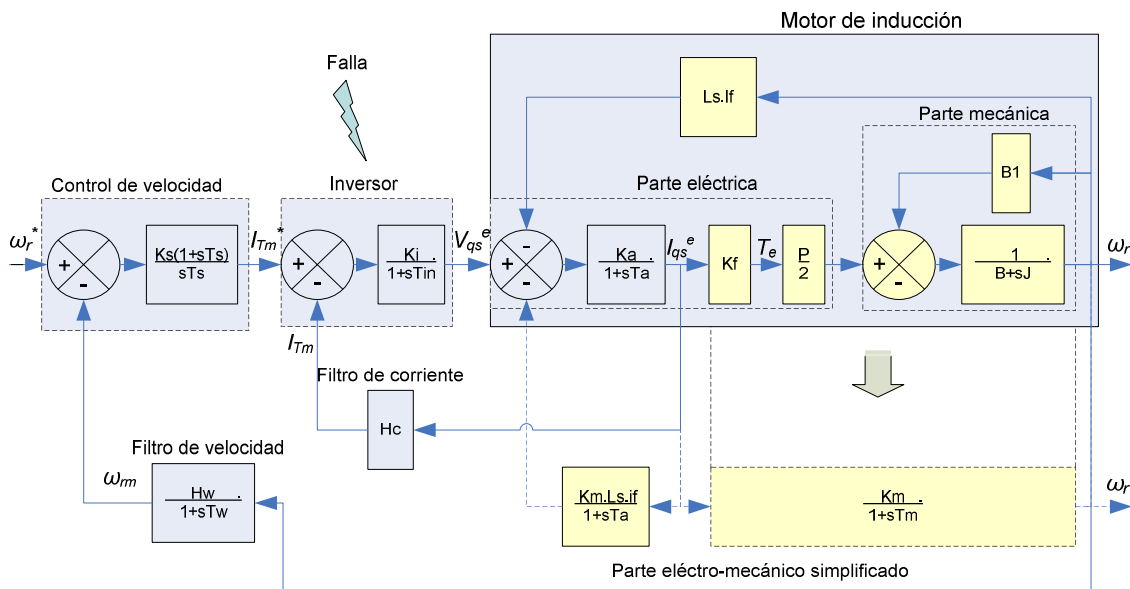


Figura 5.6. Diagrama a bloques del inversor-motor controlado vectorialmente con flujo del rotor constante.

El control vectorial consta de dos lazos de control, el de corriente y el de velocidad. La retroalimentación de las corrientes de fase se transforman en una retroalimentación de corriente en los ejes dq . Esto facilita el diseño de los controladores PI de corriente por separado, considerando sus respectivos constantes de tiempo determinando a su vez la respuesta del torque y flujo. Sin embargo, es posible mantener el flujo constante y controlar solamente torque y la velocidad como se muestra en la figura 5.6. Esta es una de las ventajas principales de tal configuración. Porque es posible inyectar un escalón y determinar por la regla de

Ziegler Nichols las ganancias proporcionales y constantes de tiempo de los controladores PIs siempre y cuando las funciones de transferencia sean conocidas.

Adicionalmente en la figura A6.2 se puede observar de manera general las partes que intervienen cuando se realiza un control vectorial indirecto. Además se aprecian las funciones de transferencia tanto del inversor así como las partes que constituyen el motor de inducción en el marco de referencia dq . El conocimiento de las funciones de transferencia es de suma importancia, pues con ello es posible sintonizar tanto el control de velocidad como el control de corriente q . En el Apéndice 6 se muestran las funciones de transferencia que pueden determinar los parámetros de sintonía de los controladores PI del lazo del torque I_{Tm} y velocidad ω_{m} .

5.2.3.1 JUSTIFICACIÓN TEÓRICA PARA EL MEJOR MOMENTO DE REEMPLAZO.

La simplificación de la parte eléctrica y mecánica del motor de inducción se define por la siguiente función de transferencia, según el esquema de la figura 5.6, la cual se deduce en [10] y se muestra en el Apéndice 6.

$$\frac{\omega_r(s)}{I_{qs}^e(s)} = \frac{K_m}{1 + s.T_m} \quad (1)$$

Donde K_m es la ganancia y T_m es la constante de tiempo de la parte eléctrica-mecánica del motor de inducción y se definen como:

$$K_m = \frac{P.K_t}{2.B_t} \quad (2)$$

$$T_m = \frac{J}{B_t} \quad (3)$$

Donde B_t Coeficiente de fricción K_t Constante del torque
 J Momento de inercia total P Número de pares de polos

En el diagrama a bloques de la figura 6 es posible identificar que la señal de salida del inversor V_{qs}^e está determinada por las variables retroalimentadas que son la velocidad ω_r y la corriente I_{qs}^e a diferencia de un control escalar en donde la señal de salida está solamente determinada por la velocidad ω_r . Por lo tanto, el tiempo de respuesta de un control vectorial es más rápido que un control escalar porque en este último no se considera la retroalimentación

de la parte eléctrica, la cual tiene una constante de tiempo más pequeña que la parte mecánica del motor de inducción. Esta es la razón por la cual el *reemplazo del elemento dañado* debe de realizarse tan pronto como sea posible mientras se utiliza un control con buena respuesta dinámica como el control vectorial para disminuir el error de seguimiento en el control de velocidad.

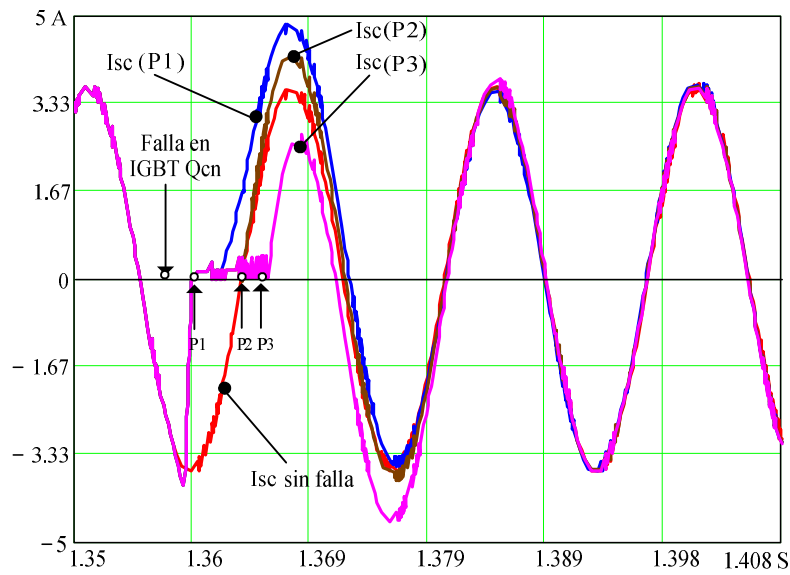
Para el caso de un control en *lazo-cerrado* utilizando un control escalar como la estrategia *Volts/Hertz*, la dinámica del sistema está fuertemente determinada por los parámetros mecánicos del motor de inducción, lo cual causa un tiempo de respuesta lento en el inversor. Por lo que el error de seguimiento de la corriente del estator incrementa debido a que no hay un control de corriente. Además, este error se puede incrementar aún más si la activación del interruptor bi-direccional del circuito del *reemplazo del elemento dañado* se realiza cuando el nivel de corriente de referencia del motor es alto. Por lo tanto el tiempo más adecuado para reemplazar el elemento dañado para un sistema en lazo abierto o cerrado utilizando un control escalar es en el próximo cruce por cero de la corriente de referencia del estator porque en este punto el error entre la señal de referencia y la corriente medida es mínimo.

5.2.3.2 RESULTADOS DE SIMULACIÓN.

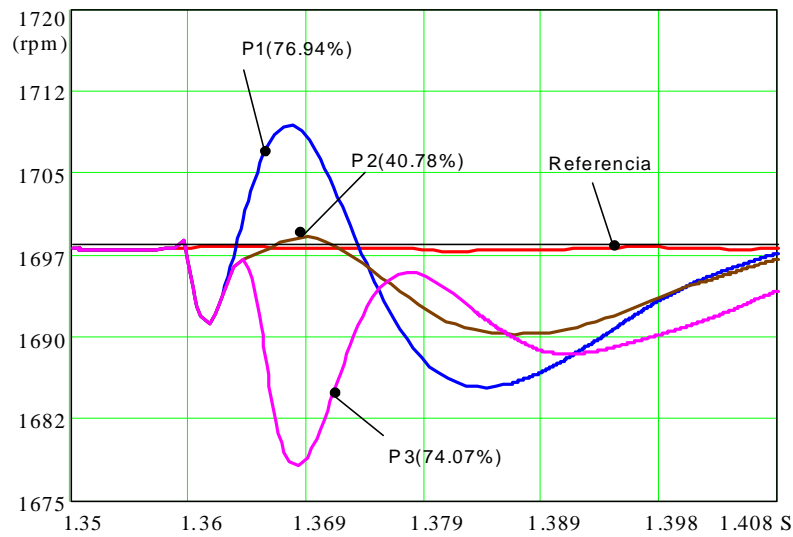
La figura 5.7 muestra un análisis paramétrico de la corriente del estator I_{sc} utilizando un control *Volts/Hertz* en *lazo-abierto* con diferentes tiempos para el *reemplazo del elemento dañado* (P1-antes del cruce por cero, P2-en el cruce por cero y P3-después del cruce por cero) en donde es posible observar que el mejor momento del reemplazo es en el cruce por cero de la corriente de referencia (P2), donde la velocidad mecánica tienen un menor error de seguimiento. De igual manera, en la figura 5.8 se muestra un análisis paramétrico de la corriente del estator I_{sc} pero utilizando un control vectorial en *lazo-cerrado*, en donde se observa que el mejor momento del reemplazo es inmediatamente después de la detección (P1) donde la velocidad mecánica tiene un menor de error de seguimiento. El criterio para cuantificar el porcentaje de error de “ ω_r ” se especifica estableciendo un umbral máximo utilizando la siguiente expresión.

$$E = \frac{1}{T} \int_0^T [(\omega_r * -\omega_m)] \quad (4)$$

El error E es máximo cuando el error absoluto integral es máximo, lo cual ocurre cuando el reemplazo se realiza en el valle máximo de la corriente de referencia.



a) Corriente I_{sc} con carga rotativa de 3 N.m.



b) Velocidad mecánica ω_r con carga rotativa de 3 N.m.

Figura 5.7. Simulación de reemplazo del elemento dañado en los tiempos P1 (antes del cruce por cero), P2 (en el cruce por cero) y P3 (después del cruce por cero) utilizando un control Volts/Hertz en lazo-abierto; a) I_{sc} con carga, b) velocidad mecánica ω_r con carga.

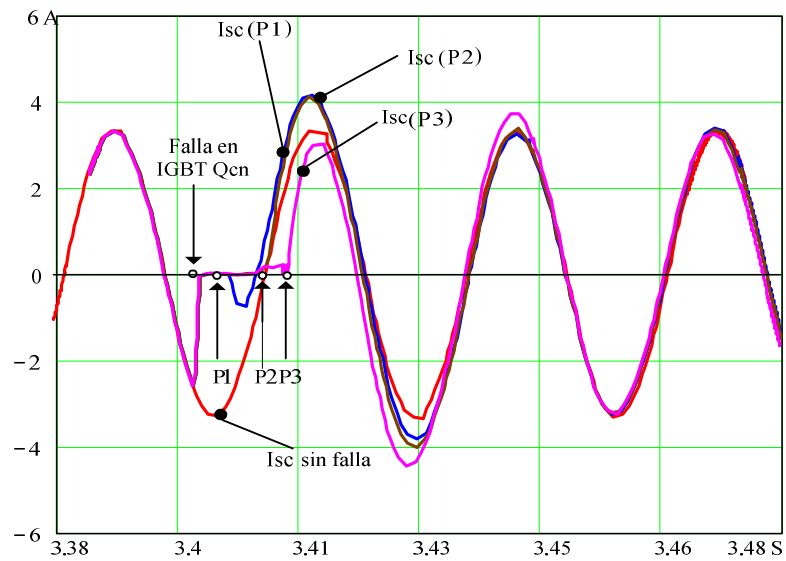
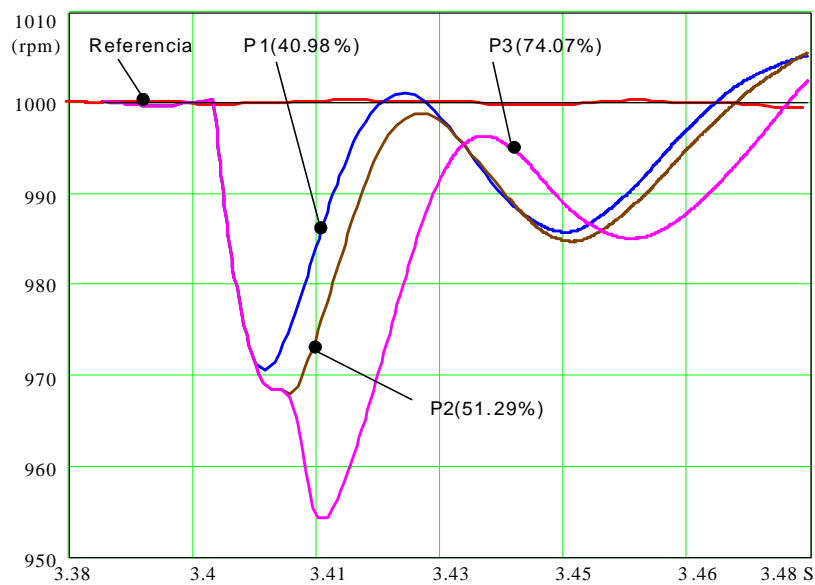
a) Corriente I_{sc} con carga de 2.3 N.m.b) Velocidad mecánica ω con carga de 2.3 N.m.

Figura 5.8. Simulación del reemplazo del elemento dañado en los tiempos P1, P2 y P3 utilizando un control por campo orientado en lazo-cerrado; a) Corriente I_{sc} , b) Velocidad mecánica ω .

Es importante mencionar que en la mayoría de las aplicaciones del sistema *inverso-motor*, la carga es generalmente es rotativas. En este sentido, el error absoluto integral de seguimiento de velocidad será menor a medida que la carga rotativa aumente. En este sentido, resulta interesante mencionar que este error disminuye aún más si sólo durante el tiempo de avería hasta terminar el *reemplazo del elemento dañado* se deshabilita el control, esto es manteniendo el último valor de la variable medida antes de la avería ($\omega_{rm}(t0-1)$) o liberando las señales de comando en los dispositivos de potencia después de la avería ($V_{GE}(t0+1)=0$) los resultados de estas dos consideraciones se muestra en la figura 5.9. Otra alternativa es mediante la acomodación de los parámetros del control sólo durante el tiempo de la avería, pero este caso queda abierto para un trabajo futuro.

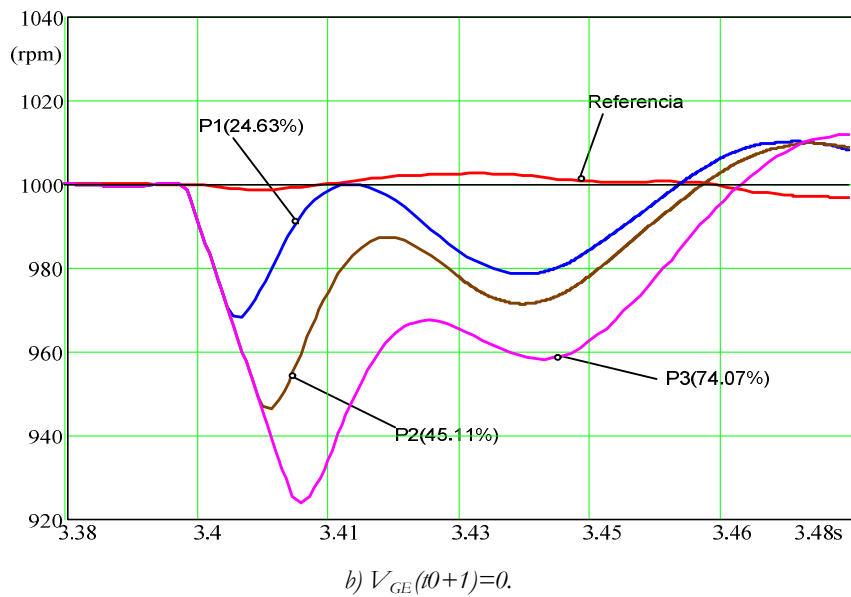
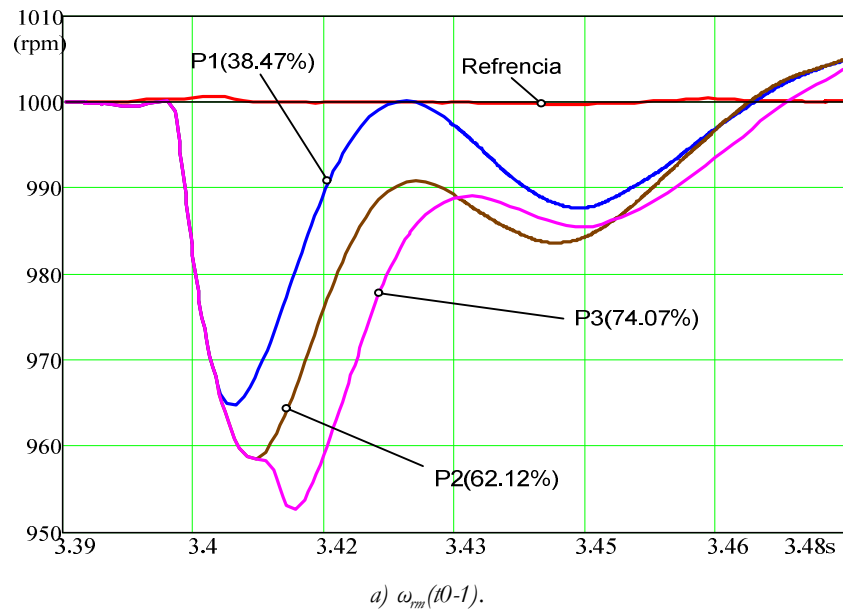


Figura 5.9. Simulación paramétrica del reemplazo del elemento dañado en los tiempos de P1, P2 y P3 reconfigurando el controlador de velocidad; a) $\omega_m(t0-1)$, b) $V_{GE}(t0+1)=0$.

En el anexo 3 se muestra el *inversor-motor* tolerante a averías utilizado, así como también los esquemas de control en *laço-abierto* y en *laço-cerrado* implementados en el simulador PSIM. Para el caso en *laço-abierto* se utilizó un control *Volts/Hertz* y para el caso en *laço-cerrado* se utilizó un control vectorial controlado de manera indirecta manteniendo el flujo del rotor constante, en ambos lazos se utilizaron las condiciones de operación y los parámetros reales del motor utilizado durante las pruebas experimentales.

5.2.3.3 RESULTADOS EXPERIMENTALES.

En la figura 5.10 muestra físicamente el banco de pruebas implementado para reemplazar el elemento dañado en un sistema *inversor-motor* tolerante a averías utilizando un esquema con módulos de un sólo IGBT como unidades redundantes y en el anexo 4 se dan los detalles de dicha implementación.

a) Reemplazo del elemento dañado

En la figura 5.11 se muestran una comparación de los resultados de simulación y experimentales del momento del reemplazo del elemento dañado utilizando un control *Volts/Hertz* en *laço-abierto* con el reemplazo en el cruce por cero. La ley de control El control se implementó en un *DSP* y la etapa del reemplazo se implementó de manera externa utilizando un arreglo lógico. En el Apéndice 5 se muestran los detalles del desarrollo del control implementado en el *DSP*.

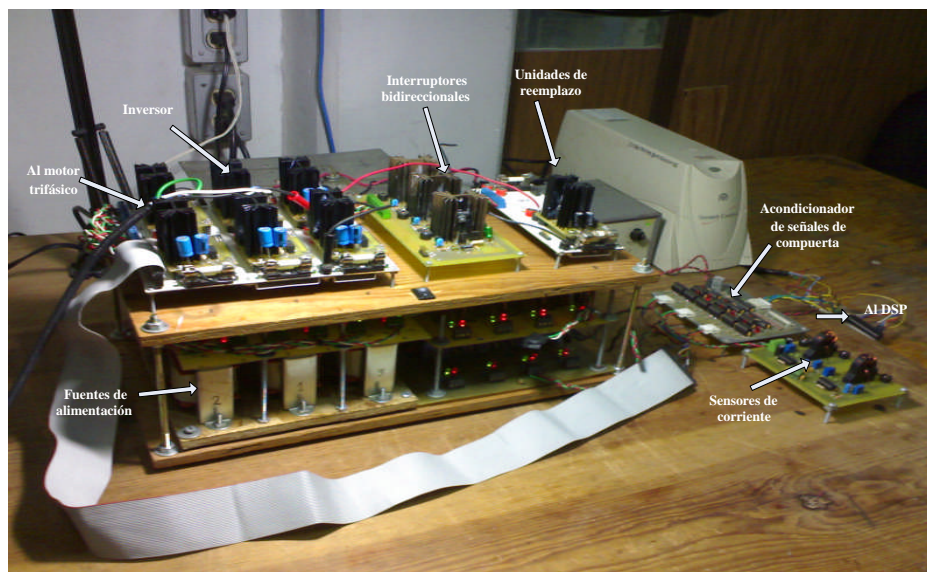
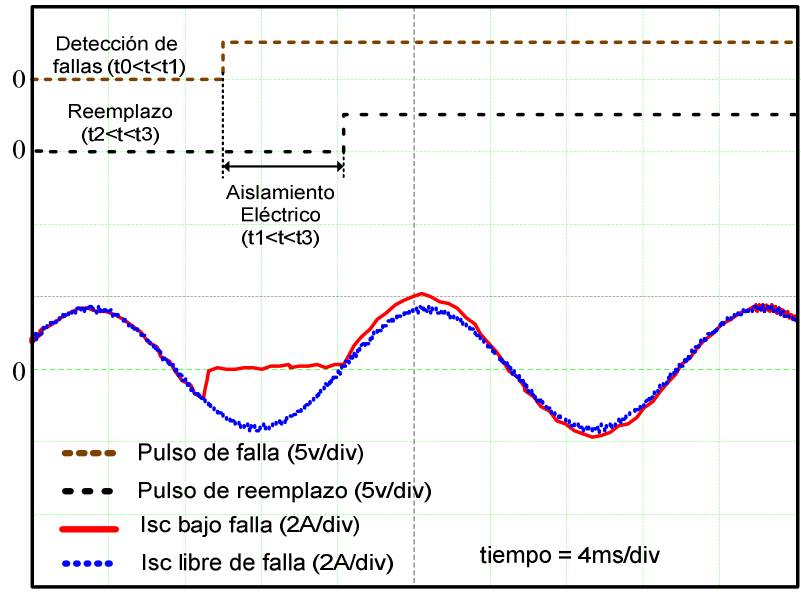
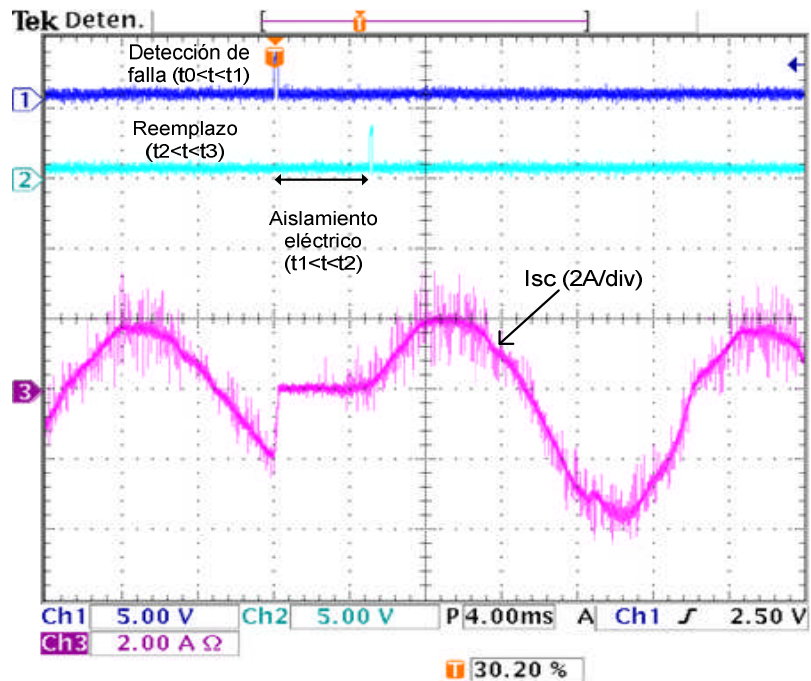


Figura 5.10. *Inversor-motor* tolerante a averías.



a) Simulación.



b) Experimentos.

Figura 5.11. Reemplazo del elemento dañado en el cruce por cero de la corriente del motor; a) Simulación y b) Experimentos.

En la figura 5.11b) la señal de corriente está desplegada con 10,000 puntos en el modo de adquisición simple sin ningún filtrado, por lo que los picos de corriente que se observan son normales en una aplicación real debido a las no idealidades del circuito como la frecuencia de conmutación, tiempos muertos, e inductancias y capacitancias parásitas.

Las principales características técnicas de la parte experimental son las siguientes: avería en Q_{on} por *corto-circuito*, tiempo de *aislamiento eléctrico* estimado de 5 ms después del comando de detección de avería. Algo importante que se observa en la comparación de los resultados de la figura 5.11 es que la simulación desarrollada en PSIM reproduce muy satisfactoriamente el comportamiento real del sistema *inversor-motor* tolerante a averías para el caso en *lazo-abierto*. Por lo tanto se puede garantizar que el comportamiento de una simulación en *lazo-cerrado*, con el reemplazo tan pronto como sea posible, no tendrá grandes diferencias a una prueba experimental de este tipo, siempre y cuando la implementación en el *DSP* sea correcta.

b) Metodología del reemplazo.

La metodología resultante con respecto al reemplazo del elemento dañado se puede resumir en el siguiente diagrama de flujo presentado en la figura 5.12. La secuencia de operación de la metodología parte del conocimiento de la detección y localización de la avería y se divide en dos casos de averías según el estado operativo del *IGBT* dañado. El caso crítico de avería es *corto-circuito* en el *IGBT* inactivo porque la acción correctora debe de proteger inmediatamente el dispositivo complementario, aislar eléctricamente y reemplazar el elemento dañado lo antes posible indistintamente del tipo de lazo de control. Sin embargo, el caso de avería más común es *corto-circuito* en el *IGBT* activo y la acción correctora es aislar eléctricamente el elemento dañado y posteriormente, dependiendo del tipo de lazo de control, reemplazar el elemento dañado tan pronto como sea posible o en el cruce por cero de la corriente de referencia.

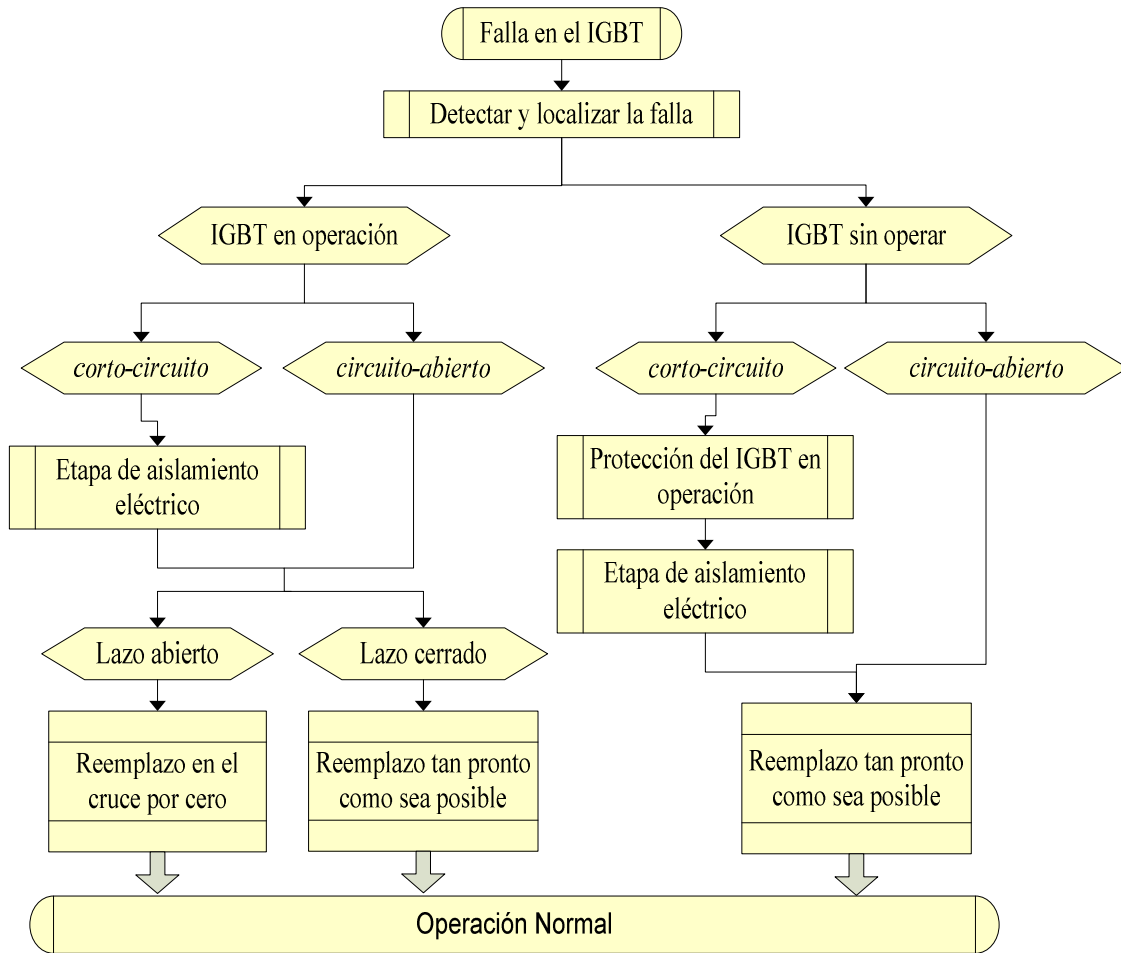


Figura 5.12. Diagrama de flujo de la metodología del reemplazo del elemento dañado.

c) Tabla comparativa.

Al igual que en la tabla 4.6 del capítulo anterior, resulta muy difícil hacer una comparación en iguales condiciones porque los objetivos de cada sistema son diferentes. Sin embargo, resulta interesante destacar que en la topología propuesta del *inversor-motor* redundante con dos módulos de un solo *IGBT* el tiempo total del reemplazo, cuando éste lazo es tan pronto como sea posible, se reduce significativamente de 6 ms a 2 ms con respecto a las topologías reportadas, así como también resulta evidente observar en la tabla 5.1 que el esquema propuesto introduce una tolerancia a averías adicional en los dispositivos y una metodología para reemplazar el elemento dañado en el momento más adecuado disminuyendo así el error de seguimiento de la velocidad mecánica.

Tabla 5.1. Comparación del esquema propuesto del sistema *inversor-motor* tolerante a averías.

Topología <i>inversor-motor</i> redundante	Referencia	Operación después de avería	No. Averías tolerantes	Tiempo total de reemplazo	Metodología del reemplazo
Con un interruptor	[5], [8], [9]	Degradado	1	7 ms	✗
Con dos interruptores	[3], [5]	Degradado	1	7 ms	✗
Con rama auxiliar	[3], [5], [6]	No-degradado	1	7 ms	✗
Con voltaje auxiliar	[9]	Degradado	1	7 ms	✗
Con <i>inversor</i> en cascada	[5]	Degradado	1	> 6 ms	✗
Con cuatro ramas	[5]	Degradado	1	> 6 ms	✗
Con dos IGBT modulares	[Propuesto]	No-degradado	2	2 ms	✓

5.2.4 CONCLUSIÓN DEL ESQUEMA PROPUESTO.

- El esquema propuesto se orientan mejor para aplicaciones de alta potencia con cargas críticas que no aceptan una cierta degradación después de la avería en los dispositivos.
- La confiabilidad del sistema propuesto no es severamente afectada al agregar muchos componentes auxiliares para el aislamiento y el *reemplazo del elemento dañado* porque la operación de estos dispositivos es comúnmente en el estado estable. Sin embargo, este análisis queda abierto para trabajos futuros.
- El mejor momento para reemplazar el elemento dañado en un sistema *inversor-motor* está determinado por el estado operativo del dispositivo dañado y por el tipo del lazo de control. En este sentido, el mejor momento del reemplazo, cuando el dispositivo dañado se encuentra en estado activo antes de la avería y para el caso de un lazo de control abierto, es en el próximo cruce por cero y para el caso de *lazo-cerrado* el mejor momento de reemplazo es tan pronto como sea posible. Por otro lado, cuando el dispositivo dañado se encuentra inactivo, indistintamente del lazo de control, el mejor momento del reemplazo es de igual manera tan pronto como sea posible porque la propagación de la avería en el dispositivo complementario comienza de manera inmediata.

5.3 BIBLIOGRAFÍA.

- [1] S. Abramik, W. Sleszynski, J. Nieznanski, H. Piquet.: **A diagnostic method for on-line fault detection and localization in VSI-fed AC drives**. 10th European Conference on Power Electronics and Application, Toulouse, France, September 2003, CD-ROM paper
- [2] D. Campos, T. Espinoza, E. Espinoza.: **Fault-Tolerant Control in Variable Speed Drives: a Survey**. IET Electric Power Application letter, Vol. 2, pp. 121-134, March 2008.
- [3] Silverio Bolognani, Marco Zordan, Mauro Zigliotto.: **Experimental fault-tolerant control of a PMSM drive**. IEEE Transaction on Industrial Electronics, Vol. 47, No.5, pp. 1134-1141, October 2000
- [4] N. Bianchi, S. Bolognani.: **Strategies for the Fault-Tolerant Current Control of Five Phase Permanent-Magnetic Motor**. IEEE Transaction on Industrial Application, Vol. 43, No.4, pp. 960-970, July-Aug 2007
- [5] B.A. Welchko, T.A. Lipo, T.M. Jahns, S.E. Schulz.: **Fault tolerant three-phase AC motor drive topologies: a comparison of features, cost, and limitations**. IEEE Transactions on Power Electronics, Vol. 19, No. 4, pp. 1108-1116, July 2004
- [6] R. L. A. Ribeiro, C. B. Jacobina, E. R. C. da Silva and A. M. N. Lima.: **Fault-tolerant voltage-fed PWM inverter AC motor drive systems**. IEEE Transactions on Industrial Electronics, Vol. 51, No. 2, pp. 439 – 446, April 2004
- [7] S. Ceballos, J Pou, E. Robles, I. Gabiola, J. Zaragoza, J.L. Villate, D. Boroyevich, “**Three-Level Converter Topologies With Switch Breakdown Fault-Tolerance Capability**,” IEEE Transactions on Industrial Electronics, Vol. 55, no.3, March 2008
- [8] A.M.S. Mendes and A.J. Cardoso.: **Performance Analysis of Three-Phase Induction Motor Drives Under Inverter Fault Conditions**. SDEMPED 2003, Symposium on Diagnostic for Electric Machines, Power Electronics and Drives, Atlanta, GA. USA, 24-26 August 2003.
- [9] J. R. Fu, T. Lipo.: **A strategy to isolate the switching device fault of a current regulated motor drive**. Conf. Rec. IEEE-IAS Annu. Meeting, vol.1, 1993, pp.1015-1020.
- [10] R. Krisman, **Electric Motor Drives Modeling, Analysis, and control**. Ed. Prentice Hall, ISBN 0-130910147, Upper Saddle River, New Jersey, 2001

Capítulo 6

CONCLUSIONES

Este trabajo de tesis se enmarca en el área de tolerancia a averías basada en la medición de la señal de compuerta del IGBT y a continuación se presentan las conclusiones agrupadas en cuatro secciones; conclusiones para la “*Técnica de detección de averías*”, conclusiones para el “*Sistema inversor-motor tolerante a averías*”, conclusiones para la “*Reducción de los tiempo de detección y reemplazo*” y “*trabajos futuros*”.

6.1 TÉCNICA DE DETECCIÓN DE AVERÍAS.

Se desarrollaron dos técnicas de detección de averías, una basada en los tiempos de conmutación durante el estable y otra basada en la medición de la señal de compuerta durante el estado transitorio. En la primera técnica se tiene buenos resultados, en cuanto al tiempo de detección, pero esta técnica no es totalmente aplicable en un inversor CD/CA porque durante la operación normal de éste se genera una falsa alarma por la inhibición de la señal de compuerta durante la transición de encendido de un interruptor al otro de la misma rama del inversor (tiempo muerto). En la segunda técnica de detección se tienen mejores resultados que en el caso anterior, en cuanto al tiempo de detección, pero la tecnología de fabricación de los componentes electrónicos del circuito propuesto, limitan el tiempo de detección, por lo que la técnica no puede ser utilizada en aplicaciones donde la frecuencia de conmutación de los interruptores es muy elevada. Sin embargo, si se amplía el transitorio de encendido del interruptor por medio del incremento de la resistencia de compuerta, la técnica puede ser utilizada en un sistema *inversor-motor* de mediana o baja potencia, ya que la frecuencia de operación no excede los 25 KHz, Por otro lado, para un sistema *inversor-motor* de alta potencia, la frecuencia de conmutación de los interruptores no exceden los 10 KHz por lo que no es necesario ampliar el transitorio de encendido de los interruptores y entonces la técnica propuesta encuentra su mejor aplicación en sistemas de alta potencia donde la frecuencia de conmutación es baja.

6.2 SISTEMA INVERSOR-MOTOR TOLERANTE A AVERÍAS.

El *diagnóstico* y el *aislamiento eléctrico* de un sistema *inversor-motor* tolerante a avería en los dispositivos deben de ser ejecutado lo más pronto posible, esto para evitar que una corriente de *corto-circuito* dañe todo el inversor. Los resultados experimentales y de simulación comprueban que el mejor momento para reemplazar el elemento dañado está determinado por la dinámica del lazo de control de velocidad utilizado, por ejemplo para un control en *lazo-abierto* o *lazo-cerrado* con respuesta dinámica lenta, como el caso del control escalar, el tiempo más adecuado para reemplazar los dispositivos de potencia dañados es en el próximo cruce por cero de la corriente de referencia del motor. Sin embargo, para el caso de control en *lazo-cerrado* de tipo vectorial el cual tiene una buena respuesta dinámica, el tiempo más adecuado para reemplazar el elemento dañado es tan pronto como sea posible porque la constante de tiempo del sistema *inversor-motor* no está fuertemente determinada por los parámetros del motor.

Por razones de la capacidad de instalación, el prototipo del sistema *inversor-motor* tolerante a fallas implementado en este trabajo se realizó para un motor de inducción trifásico de 1 HP, por este motivo el diseño del inversor se implementó con dispositivos de tipo discreto que tienen una corriente y un voltaje de operación de 26A y 1200V respectivamente, en lugar de módulos de un solo IGBT que tienen rangos de 960A y 1200V respectivamente. La intención del diseño del inversor es hacerlo modular y didáctico, es decir, utilizar IGBTs discretos con el disipador de calor y el circuito impulsor integrados en un módulo como unidad redundante y con un circuito de detección de averías intercambiable en cada módulo. De tal manera que puedan ser probadas distintas técnicas de detección y el reemplazo del elemento dañado sea en línea. Lo anterior puede ser extrapolado para altas potencias si se contemplan las inductancias de dispersión en el inversor y se utilizan sistemas de conexión adecuadas con muy baja resistencia de contacto.

6.3 TIEMPOS DE DETECCIÓN Y REEMPLAZO.

- Se propuso, diseñó e implementó una técnica de detección de averías generalizada para los dispositivos de potencia, basada en los tiempos de conmutación en estado estable, obteniendo un tiempo de detección de $175 \mu s$. lo cual es muy adecuado para tolerar, en línea, averías por *dispositivo-abierto* en un sistema *inversor-motor*.
- Se propuso una técnica nueva de detección de averías basada en la medición transitoria de la señal de compuerta, obteniendo un tiempo de detección de $2.067 \mu s$ ideal para detectar averías tanto por *dispositivo-abierto* como *dispositivo-en-corto*. La rapidez y la forma de detección encuentra su mejor aplicación en el sistema *inversor-motor* ya que la frecuencia de conmutación de los interruptores no excede a los 20Khz y para el caso de la avería por *dispositivo-en-corto* es posible proteger al dispositivo complementario del interruptor dañado.
- Se propuso una metodología para reducir el tiempo de reemplazo del dispositivo electrónico de potencia dañado en un sistema *inversor-motor* tolerante a averías.

6.4 TRABAJOS FUTUROS.

Implementar físicamente la técnica basada en la medición de la señal de compuerta, utilizando amplificadores de instrumentación con muy alta tasa de cambio (*slew rate*) y alta impedancia de entrada. Para esto se debe contemplar los efectos del ruido ocasionado por el diseño del circuito impreso y el ruido inducido por fuentes externas como el motor asociado al inversor. Lo anterior puede impactar en los tiempos de detección, reemplazo o aumento de falsas alarmas.

Utilizar un esquema tolerante a averías que combine tanto la redundancia material como la acomodación de los parámetros del controlador, tendría como consecuencia que durante el tiempo de avería, el controlador puede mejorar la respuesta dinámica llevando al sistema al punto de operación nominal, o al más cercano posible, en un tiempo más corto que el obtenido solamente reemplazando el dispositivo dañado.

Analizar algunas condiciones que pudieran mejorar el desempeño global del sistema como son: la confiabilidad, la robustez y la estabilidad.

6.5 PUBLICACIONES.

1. M. A. Rodríguez, A. Claudio, D. Theilliol, L.G. Vela, **“A New Fault Detection Technique for IGBT Based on Gate Voltage Monitoring,”** IEEE Power Electronics Specialists Conference PESC 2007, Orland Florida U.S., June 2007.
2. M. A. Rodríguez, A. Claudio, D. Theilliol, L. G. Vela, G. Guerrero, **“Técnica de Detección de Fallas en Dispositivos de Potencia para un Inversor-Motor Tolerante a Fallas,”** Research in Computing Science, especial issue: Advances in Automatic Control and Engineering Part 2. (artículo recomendado al editor de la Revista Iberoamericana de Automática e Informática Industrial editada y distribuida por el Comité Español de Automática (CEA-IFAC), ISSN versión electrónica: 1697-7920. ISSN versión impresa: 1697-7912.)
3. M. A. Rodríguez, A. Claudio, D. Theilliol, L. G. Vela, **“Inversor para un Motor de Inducción Trifásico Tolerante a Fallos: Análisis y Diseño,”** Seminario de Automática, Electrónica Industrial e Instrumentación SAAEI 2007, Puebla México 10-12 de Septiembre 2007.
4. M. A. Rodríguez, A. Claudio, D. Theilliol, L. G. Vela, L. Hernández, **“A Novel Strategy to Replace the Damaged Element for Fault-Tolerant Induction Motor Drive,”** IEEE International Conference on Power Electronics CIEP 2008, Cuernavaca Morelos, México, August 24-27.
5. M. A. Rodríguez, A. Claudio, D. Theilliol, L. G. Vela, L. Hernandez, **“Una Estrategia Novedosa para Reemplazar al Elemento Dañado en un Sistema Inversor-Motor Tolerante a Fallas,”** Congreso Internacional Sobre Innovación y Desarrollo Tecnológico CIINDET 2008, Cuernavaca Morelos México, del 8-10 Octubre 2008.
6. M. A. Rodríguez, A. Claudio, D. Theilliol, L. G. Vela, L. Hernández, **“A Strategy to Replace the Damaged Element for Fault-Tolerant Induction Motor Drive,”** 5th International Conference on Electrical Engineering, Computing Science and Automatic Control, Mexico City, México, November 12-14, 2008.
7. M. A. Rodríguez, A. Claudio, D. Theilliol, L.G. Vela, L. Hernández, **“Strategy to Replace the Damaged Power Device for Fault-Tolerant Induction Motor**

Drive,” IEEE Applied Power Electronics APEC 2009, Washington, DC, February 15-19, 2009.

Artículo sometido a revista y en espera de resultados.

1. M. A. Rodríguez, A. Claudio, L. G. Vela, P. Sibaja, J. Aguayo, L. Hernández, **“Failure detection strategy based on the power semiconductor devices behavior applied to a fault tolerant motor drive system,”** IEEE Transactions on Industrial Electronics, especial section of diagnostics of electrical machines, power electronics & drives (Artículo sometido el 21 de Diciembre del 2009 y en espera de su aceptación o rechazo para publicación)

APÉNDICE 1

Ecuaciones del modelo físico del IGBT-PT en Pspice

Resistencia de la base

$$R_B = \begin{cases} \frac{W}{q \cdot M_{UN} \cdot N_B \cdot A} & Q_{eb} < 0 \\ \frac{W}{q \cdot M_{eff} \cdot n_{eff} \cdot A} & Q_{eb} \geq 0 \end{cases} \quad (1a)$$

con

$$M_{eff} = M_{UN} + \frac{M_{UP} \cdot Q_{eb}}{Q_{eb} + Q_B} \quad (2)$$

$$N_{eff} = \frac{\frac{W}{2 \cdot L} \cdot \sqrt{(N_B)^2 + Po^2 \cdot \left(\cosh\left(\frac{W}{L}\right)\right)^2}}{\operatorname{atanh}\left[\frac{(N_B)^2 + Po^2 \cdot \left(\cosh\left(\frac{W}{L}\right)\right)^2 \cdot \tanh\left(\frac{W}{2 \cdot L}\right)}{(N_B)^2 + Po^2 \cdot \left(\cosh\left(\frac{W}{L}\right)\right)^2}\right]} \quad (3)$$

$$L = \sqrt{\frac{2 \cdot D_n \cdot D_p}{D_n \cdot D_p} \cdot \text{TAU}} \quad (4)$$

Corriente del canal MOSFET

$$I_{mos} = 0 \quad (v_{gs} - v_T) < 0 \quad (5a)$$

$$K_F \cdot K_P \cdot \frac{\left[(v_{gs} - v_T) \cdot v_{ds} - \frac{K_F \cdot (v_{ds})^2}{2} \right]}{1 + \text{Theta} \cdot (v_{gs} - v_T)} \quad (v_{gs} - v_T) > v_{ds} \quad (5b)$$

$$\frac{K_P \cdot (v_{gs} - v_T)^2}{2 \cdot [1 + \text{Theta} \cdot (v_{gs} - v_T)]} \quad (v_{gs} - v_T) \leq v_{ds} \quad (5c)$$

Corriente de estado estable del colector

$$I_{CSS} = \begin{cases} 0 & V_{eb} < 0 \end{cases} \quad (6a)$$

$$\left[\left(\frac{1}{1+b} \right) \cdot \left[I_C + \frac{(4 \cdot b \cdot D_P)}{W^2} \cdot Q_{eb} \right] \right] \quad V_{eb} > 0 \quad (6b)$$

$$W = W_B - W_{bcj} \quad (7)$$

$$b = \frac{M_{UN}}{M_{UP}} \quad (8)$$

Corriente de estado estable de la base

$$I_{bss} = \begin{cases} 0 & V_{eb} \leq 0 \end{cases} \quad (9a)$$

$$\left[\frac{Q_{eb}}{TAU} + \left[\frac{(Q_{eb})^2}{Q_B} \right] \cdot \left[\frac{4 \cdot (N_B)^2}{(n_i)^2} \right] \cdot JSNE \cdot A \right] \quad V_{eb} > 0 \quad (9b)$$

Corriente de multiplicación de avalancha

$$I_{mul} = (M - 1) \cdot (I_{mos} + I_{CSS}) + M \cdot I_{gen} \quad (10)$$

Capacitancia y carga compuerta-drenaje

$$C_{gs} = C_{gs} \quad (11)$$

$$Q_{gs} = C_{gs} \cdot V_{gs} \quad (12)$$

Capacitancia y carga drenaje-fuente

$$C_{ds} = C_{dsj} \quad (13)$$

$$Q_{ds} = C_{gs} \cdot V_{gs} \quad (14)$$

Con

$$C_{dsj} = \frac{(A \cdot A_{gd}) \cdot \epsilon_{si}}{W_{dsj}} \quad (15)$$

$$W_{dsj} = \sqrt{\frac{2 \cdot \epsilon_{si} \cdot (V_{ds} + 0.6)}{q \cdot N_B}} \quad (16)$$

Capacitancia y carga compuerta-drenaje

$$C_{dg} = \begin{cases} C_{\text{oxd}} & (V_{gs} - V_{td}) > V_{ds} \end{cases} \quad (17a)$$

$$\begin{cases} \frac{C_{\text{dgi}} \cdot C_{\text{oxd}}}{C_{\text{dgi}} + C_{\text{oxd}}} & (V_{gs} - V_{td}) \leq V_{ds} \end{cases} \quad (17b)$$

$$Q_{dg} = C_{\text{oxd}} \cdot V_{ds} \quad (18)$$

$$Q_{dg} = \frac{q \cdot W_{\text{dgi}} \cdot N_B \cdot A_{\text{gd}}}{F} \cdot D (F - \log(1 + F)) - C_{\text{oxd}} \cdot V_T \quad (19)$$

Con

$$C_{\text{dgi}} = \frac{A_{\text{gd}} \cdot \epsilon_{\text{si}}}{W_{\text{dgi}}} \quad (20)$$

$$W_{\text{dgi}} = \sqrt{\frac{2 \cdot \epsilon_{\text{si}} \cdot (V_{dg} + V_{td})}{q \cdot N_B}} \quad (21)$$

$$F = \frac{C_{\text{oxd}} \cdot W_{\text{dgi}}}{A_{\text{gd}} \cdot \epsilon_{\text{si}}} \quad (22)$$

Capacitancia y carga emisor-base

$$C_{\text{eb}} = \frac{dQ_{\text{eb}}}{dV_{\text{eb}}} \quad (23)$$

Con

$$Q_{\text{eb}} = \begin{cases} Q_{\text{bi}} - A \cdot \sqrt{2 \cdot q \cdot \epsilon_{\text{si}} \cdot N_B \cdot (0.6 - V_{\text{eb}})} & V_{\text{eb}} < 0 \end{cases} \quad (24a)$$

$$\begin{cases} P_0 \cdot \left(q \cdot A \cdot L \cdot \tanh\left(\frac{W}{2L}\right) \right) & V_{\text{eb}} \geq 0 \end{cases} \quad (24b)$$

Capacitancia colector-emisor

$$C_{\text{cer}} = \frac{Q_{\text{eb}} \cdot C_{\text{bcj}}}{3 \cdot Q_B} \quad (25)$$

Con

$$C_{\text{bcj}} = \frac{A \cdot \epsilon_{\text{si}}}{W_{\text{bcj}}} \quad (26)$$

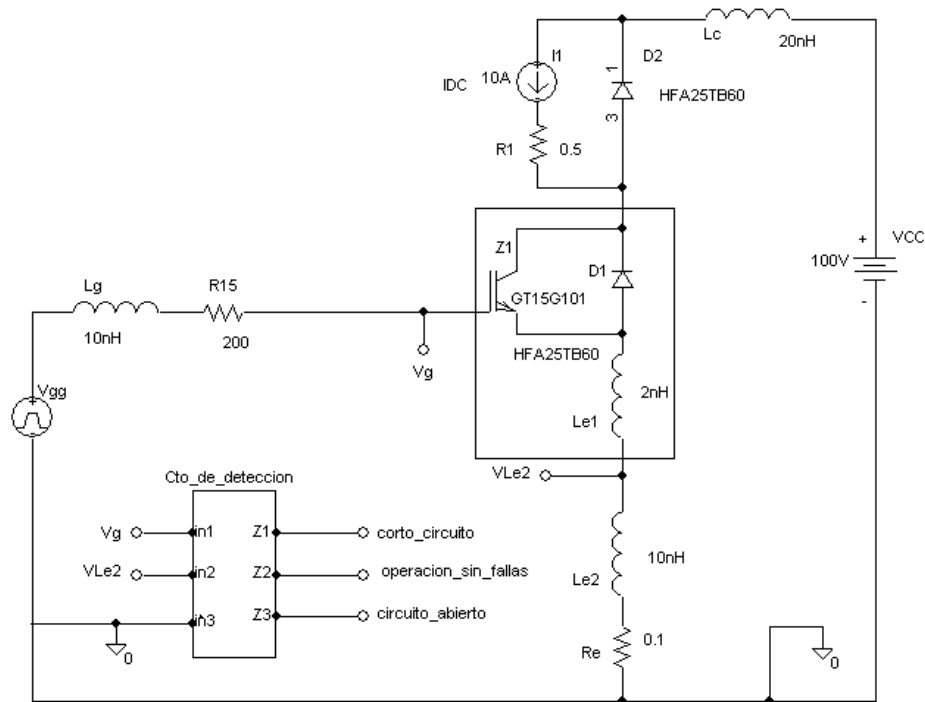
$$W_{\text{bcj}} = \begin{cases} 0 & V_{\text{bc}} \leq -0.6 \end{cases} \quad (27a)$$

$$\begin{cases} W_{\text{dsj}} & V_{\text{bc}} > -0.6 \end{cases} \quad (27b)$$

APÉNDICE 2

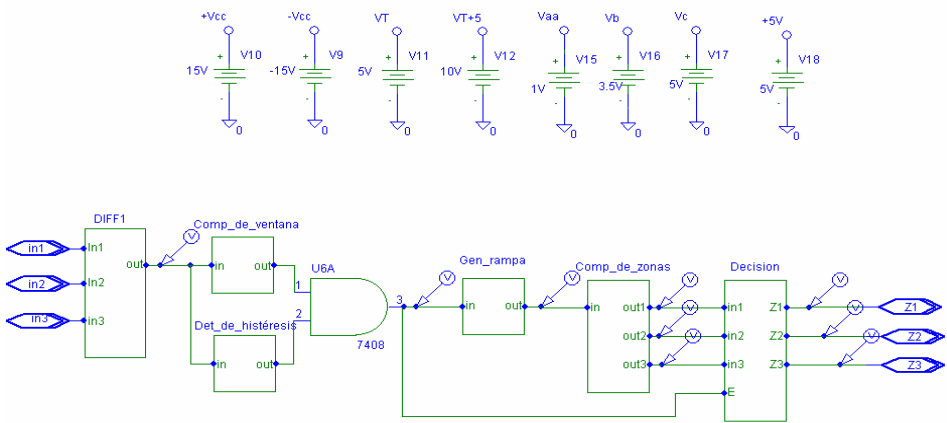
DETALLE DEL CIRCUITO DE DETECCIÓN DE AVERÍAS BASADO EN LA MEDICIÓN DE LA SEÑAL DE COMPUERTA Y SIMULADO EN PSPICE

Para poner a prueba el circuito de detección utilizando la técnica propuesta basada en la medición de la señal de compuerta se utilizó un circuito “chopper” con carga inductiva. La intención de utilizar un circuito de chopper en lugar del sistema inversor-motor es reducir el tiempo de simulación. En la simulación se consideran las inductancias parásitas que afectan a la señal de compuerta tanto en el circuito chopper como en el sistema inversor-motor.

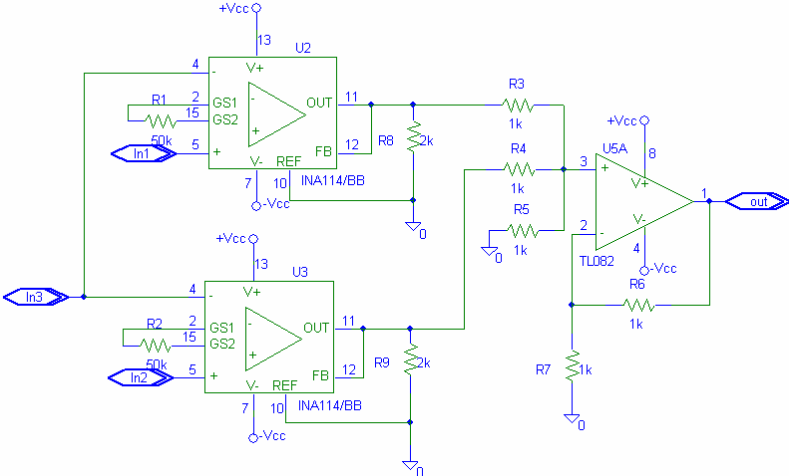


A2.1 Circuito chopper utilizado para poner a prueba la técnica propuesta de detección mediante un sub-circuito implementado con componentes reales.

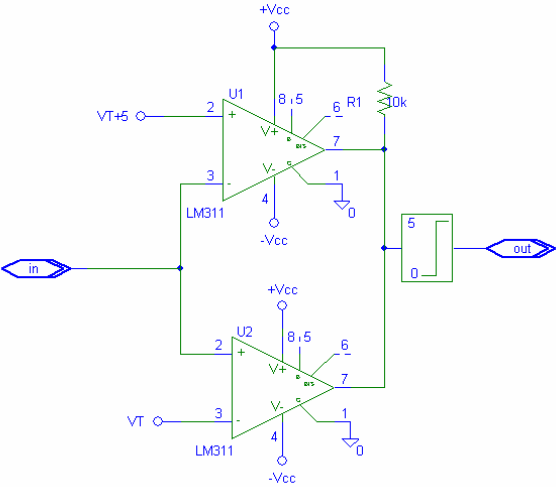
En la figura A2.1 se muestra el circuito de detección construido en un sub-circuito con nombre *Cto_de_deteccion* y se visualiza con facilidad todas las etapas constitutivas como inductancias parásitas y fuentes de alimentación utilizadas en todo el circuito. Por otro lado, en las figuras de la A2.2 –A2.8 se puede observar con detalle los elementos constitutivos del sub-circuito *Cto_de_deteccion* utilizando siempre componentes comerciales y evitando a toda costa el uso de componentes ideales.



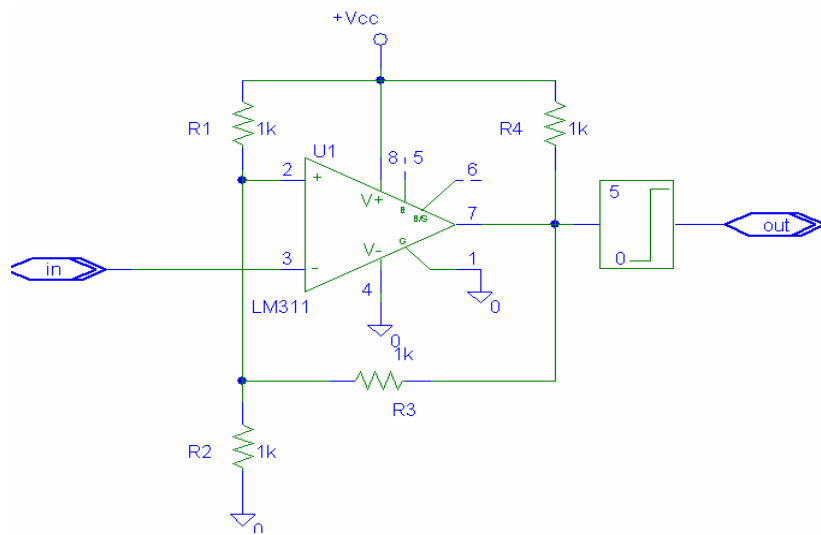
A2.2. Sub-circuito: "Circuito_de_deteccion"



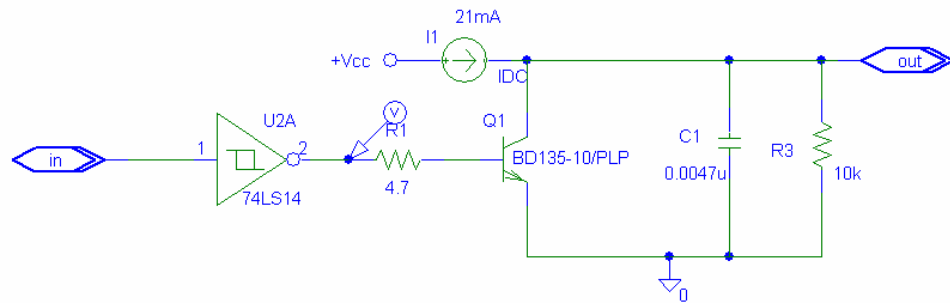
A2.3. Sub-circuito: DIFF1



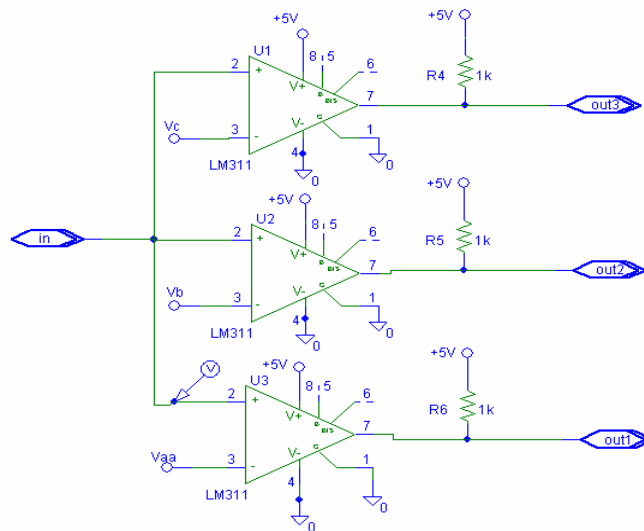
A2.4. Sub-circuito: Comp_de_ventana



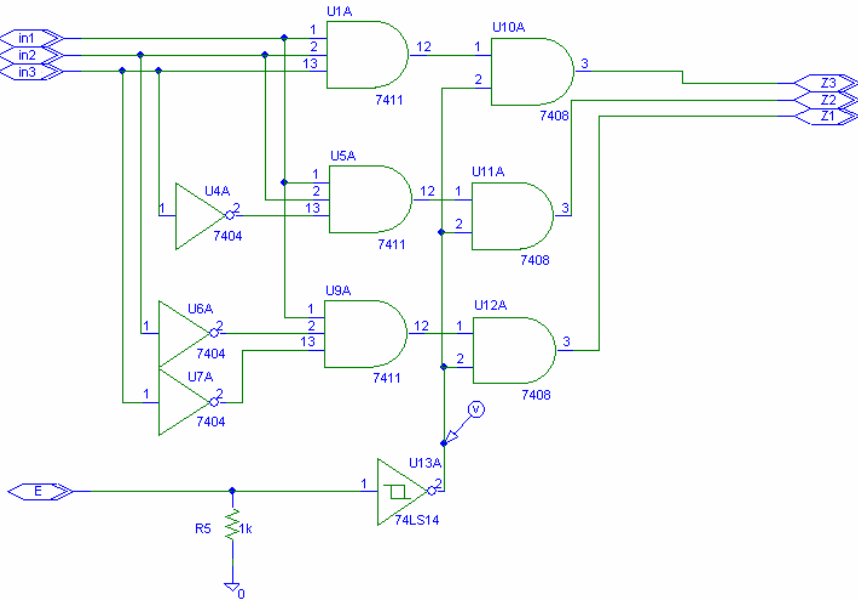
A2.5. Sub-circuito: Det_de_histeresis



A2.6. Sub-circuito: Gen_rampa



A2.7. Sub-circuito: Comp_de_zonas



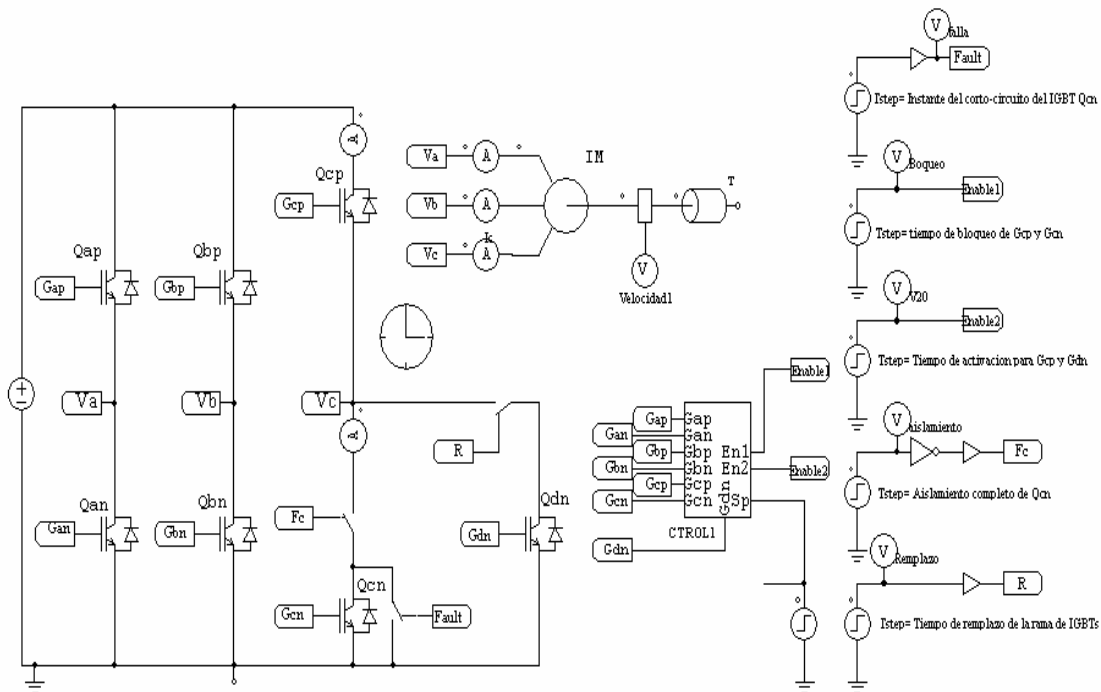
A2.8. Sub-circuito: Decisión

APÉNDICE 3

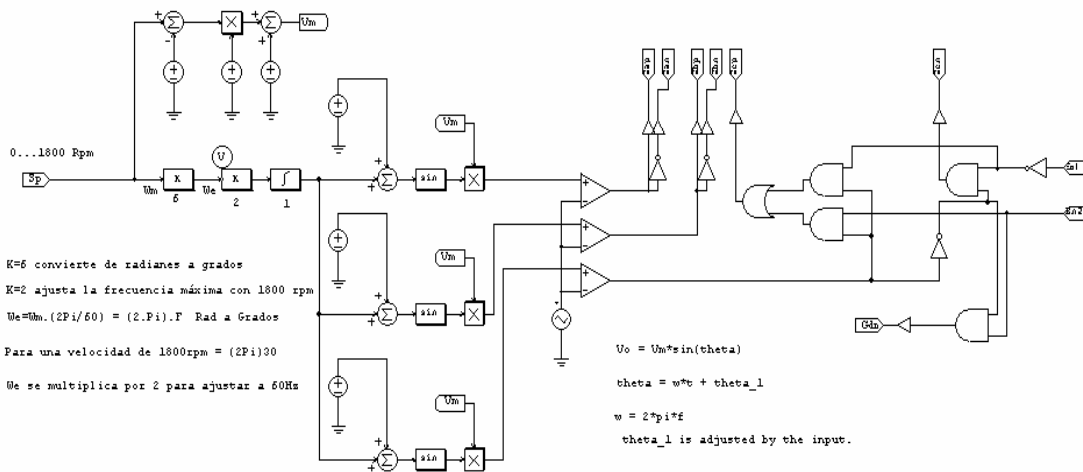
DETALLE DEL INVERSOR-MOTOR TOLERANTE A AVERÍAS
SIMULADO EN PSIM

Las principales características del circuito inversor-motor simulado en PSIM son las siguientes: avería en el IGBT Q_{cn} por corto-circuito, Tiempo de avería = 200 us, tiempo de aislamiento eléctrico = 1ms, Potencia del motor = 1Hp, Voltaje del bus de CD = 320V, unidad de reemplazo Q_n

El circuito simulado está constituido por un inversor bajo prueba conectado a un motor de inducción trifásico de 1 HP con un control de velocidad en lazo abierto con estrategia de control V/F constante implementado en un sub-circuito CTROL1, este sub-circuito además contener el algoritmo de control contiene entradas adicionales para proteger el dispositivo en buen estado y desviar los pulsos del elemento dañado al dispositivo de reemplazo. A la derecha de la figura A3.1 se muestran cinco fuentes de impulsos que dan el inicio, en tiempos estimados, de las señales que comandan la avería en el dispositivo, bloqueo de pulsos, desvío de pulsos, aislamiento eléctrico y reemplazo del elemento dañado.



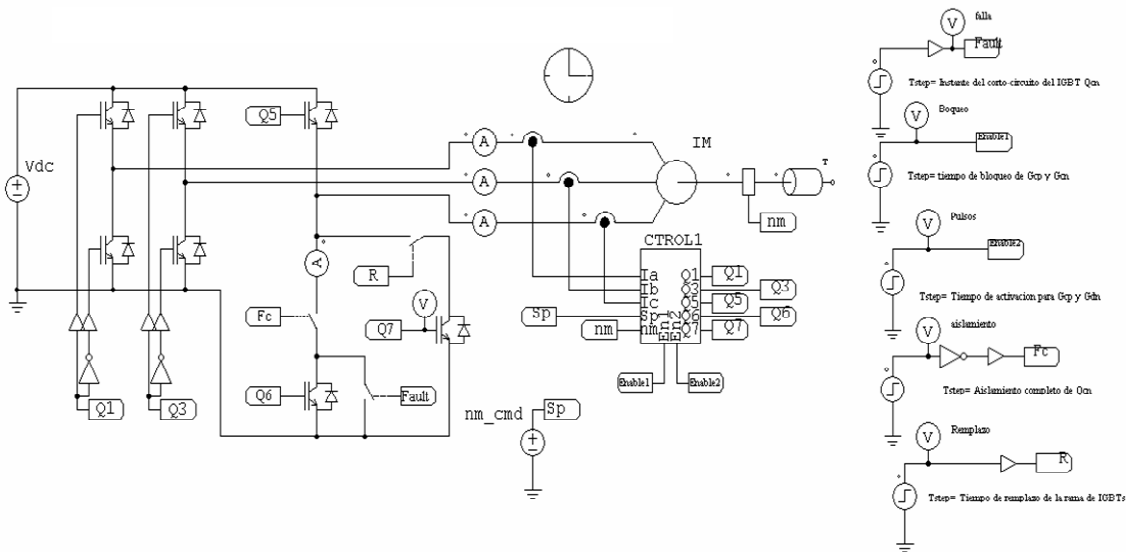
A3.1 Simulación del reemplazo del elemento dañado utilizando un control Volts/Hertz en lazo abierto y utilizando tiempos estimados para la detección de falla y aislamiento eléctrico.



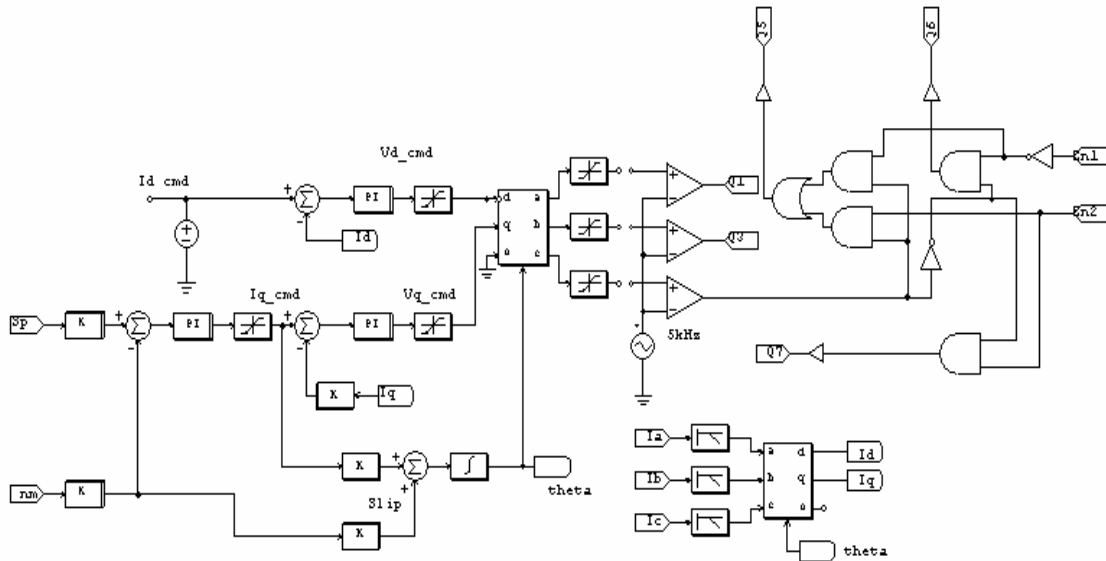
A3.2. Sub-circuito (CTROL1) del control V/F constante en lazo abierto

En este tipo de control en lazo abierto la característica principal que se introduce en la simulación es un rango de frecuencia ajustable de 10 a 60 Hertz manteniendo la relación constante Volts/Hertz.

En la figura A3.3 se muestra de nuevo el circuito simulado de A3.1 pero el bloque de control CTROL1 involucra un control vectorial en lazo cerrado y en la figura A3.4 se muestra el detalle del control vectorial implementado en el sub-circuito CTROL1.



A3.3. Simulación del reemplazo del elemento dañado utilizando un control vectorial en lazo abierto y utilizando tiempos estimados para la detección de falla y aislamiento eléctrico.



A3.4. Sub-circuito (CTRL1) del control por campo orientado en lazo cerrado controlado indirectamente manteniendo el flujo de rotor constante

La sintonización de los controladores PI de corriente (I_d y I_q) y velocidad (r_{wm}) del control vectorial se pueden calcular utilizando las funciones de transferencia obtenidas durante el análisis del modelo del sistema inversor-motor descrito en el Apéndice 6

APÉNDICE 4

EXPOSICIÓN DE FOTOS DEL SISTEMA INVERSOR-MOTOR
TOLERANTE A FALLAS PROPUESTO

Para la implementación del sistema Inversor-Motor de la figura A4.1 se utilizó un motor de inducción trifásico de la marca Vector de 1 HP, por este motivo el diseño del sistema inversor se implementado con dispositivos discretos como el *IGBT HGTG18N120BND* el cual maneja una corriente de 26A a una temperatura de 110° C y un voltaje de colector-emisor V_{CE} de 1200V además cuenta con diodo anti-paralelo integrado de rápida recuperación. La intención del diseño del inversor es hacer el sistema modular, es decir utilizar *IGBTs* modulares con el disipador de calor y el circuito impulsor integrado. La figura A4.2 muestra el circuito impulsor utilizado en cada *IGBT* modular.

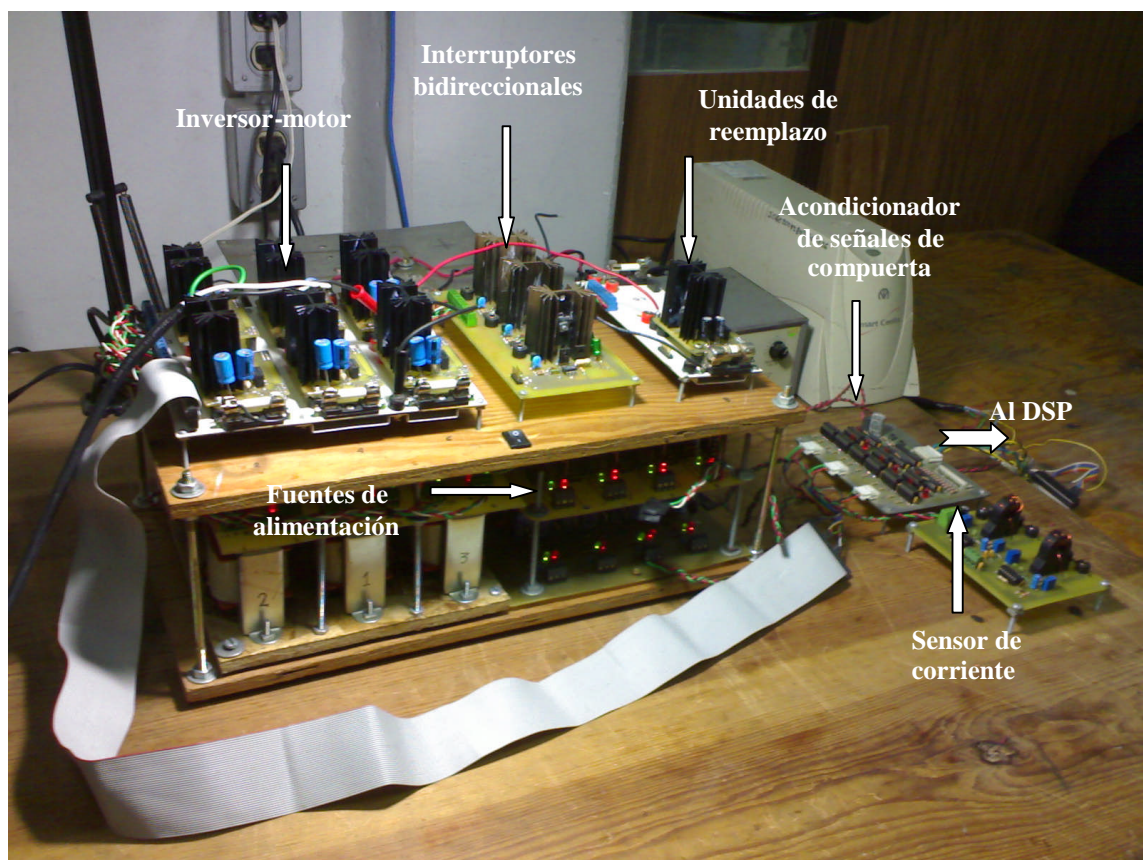


Figura A4.1. Inversor-motor tolerante a fallas.

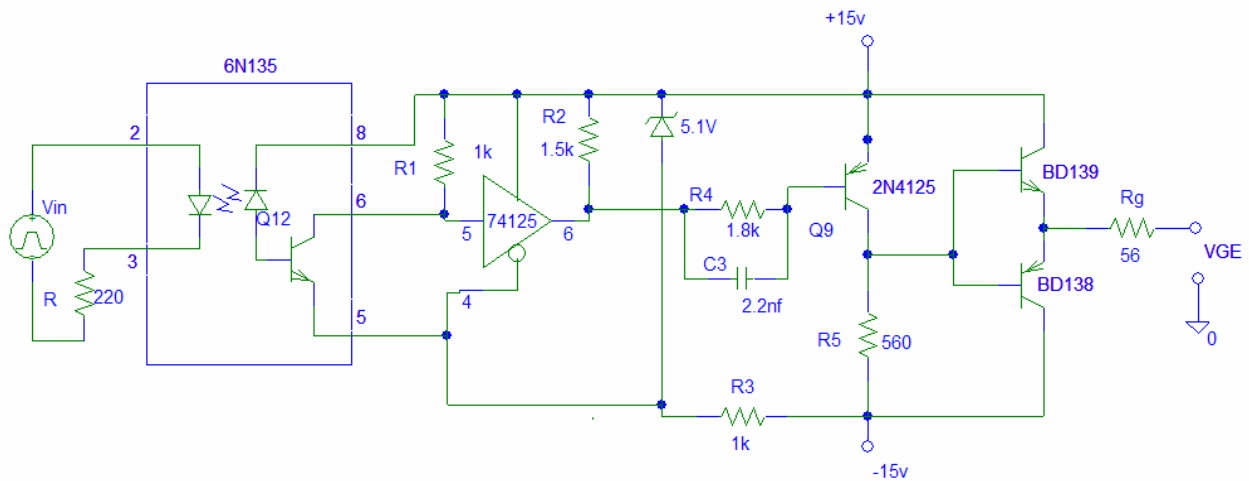


Figura A4.2. Circuito impulsor implementado.

Adicionalmente, el diseño del circuito impulsor cuenta con una entrada opcional para conectar un circuito detector de averías en el IGBT como se muestra en la figura A4.3.

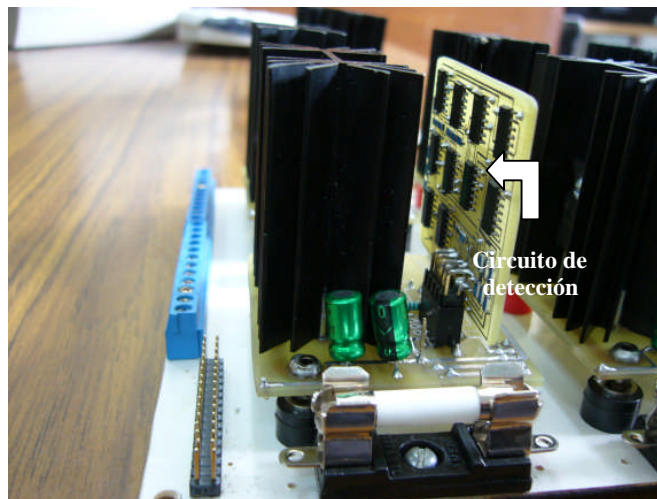


Figura A4.3. IGBT modular con circuito impulsor integrado.

Para facilitar el montaje de los seis IGBT modulares que conforman el inversor trifásico se implementó una base con sus respectivos fusibles de aislamiento eléctrico, tomando en cuenta las terminales gruesas de potencia del IGBT (Colector y Emisor), las conexiones para el bus de señales (Señales de compuerta, alarma, corto-circuito y circuito-abierto) y las fuentes de alimentación ($\pm 15\text{ V}$ y $+5\text{ V}$) en bordes separados. Las figuras A4.4 y A4.5 muestran la base para el montaje de los IGBTs modulares sin componentes y con componentes respectivamente.

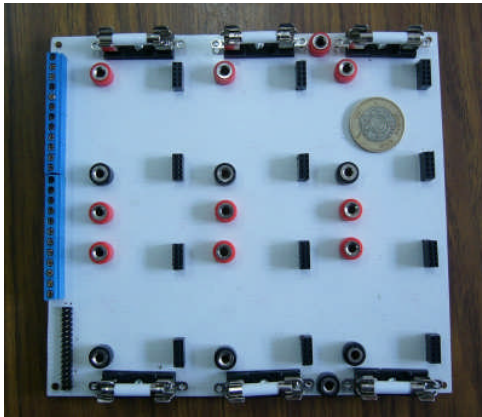


Figura A4.4. Base para el montaje de IGBTs modulares en el inversor trifásico sin componentes.

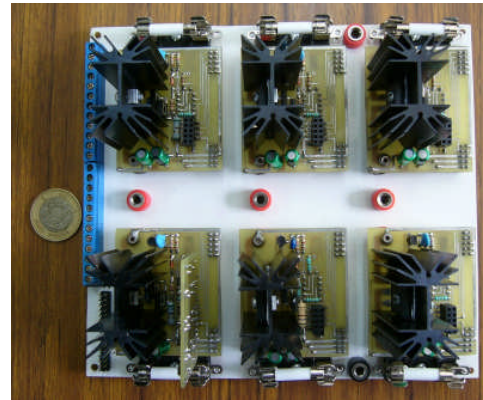


Figura A4.5. Base para el montaje de IGBTs modulares en el inversor trifásico con componentes.

Es importante notar que cada *IGBT* modular necesita tres fuentes de alimentación independientes y aisladas las cuales son conectadas a los borde azules de la base a través de un conector superior de anclaje. Adicionalmente, cada *IGBT* modular maneja cuatro señales (Señal de compuerta, alarma, corto-circuito y circuito-abierto) las cuales son conectadas internamente a la barra de terminales de comunicación a través de un conector inferior de anclaje ubicado en el extremo inferior izquierdo de la base.

De igual manera las unidades de respaldo se implementaron de forma modular. Las figuras A4.6 y A4.7 muestran la base para el montaje de los *IGBTs* modulares sin componentes y con componentes respectivamente.

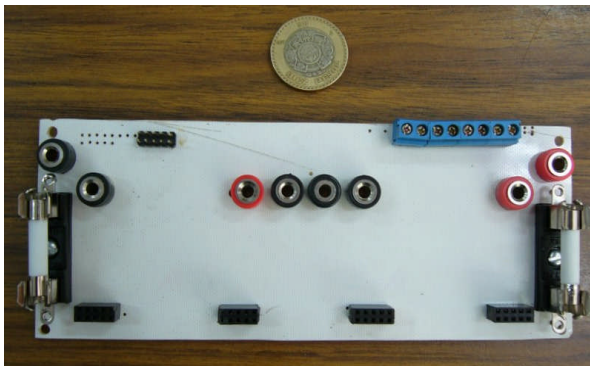


Figura A4.6. Base para el montaje de los IGBT modulares de las unidades de respaldo 1 y 2 sin componentes.

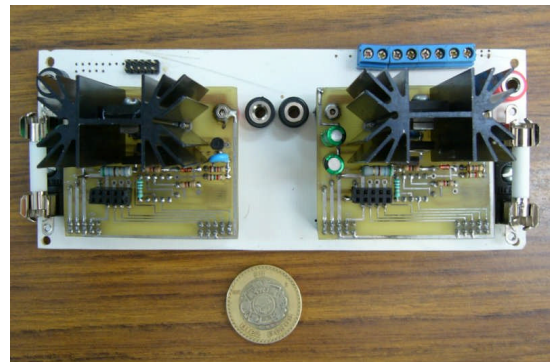


Figura A4.7. Base para el montaje de los IGBT modulares de las unidades de respaldo 1 y 2 con componentes.

La intención de hacer modular el inversor y la unidad de respaldo 1 y 2 es hacer al sistema amigable para un esquema de “conexión en caliente” muy útil para remplazar en línea el elemento dañado en un sistema redundante, además esto permite hacer al sistema didáctico.

Interruptor bi-direccional

Una buena alternativa para elaborar interruptores bi-direccionales es utilizar dos *IGBTs* con diodos en anti-paralelo de tal manera que permitan el flujo de corriente en ambos sentidos (figura A4.8). La alternativa es viable a mediana y baja potencia porque los *IGBTs* tienen tiempos de respuesta más rápidos que los tiristores. Además, la adición de interruptores, como unidades de respaldo de tipo *cold stanby* en un sistema redundante no degrada la confiabilidad del sistema porque sólo se utilizan cuando ocurre la avería en los dispositivos del inversor.

El funcionamiento del interruptor bi-direccional propuesto es muy simple y consiste en enviar la señal de conmutación a ambos *IGBTs* al mismo tiempo pero sólo el dispositivo conectado directamente ($Q_{+/-}$ y $D_{-/+}$) podrá facilitar el sentido de la corriente como se muestra en la figura A4.8.

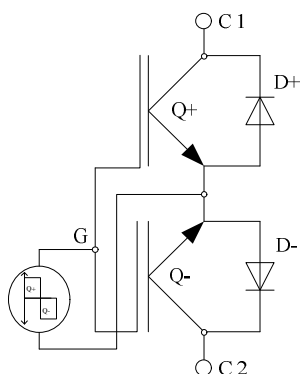


Figura A4.8. Interruptor bi-direccional.

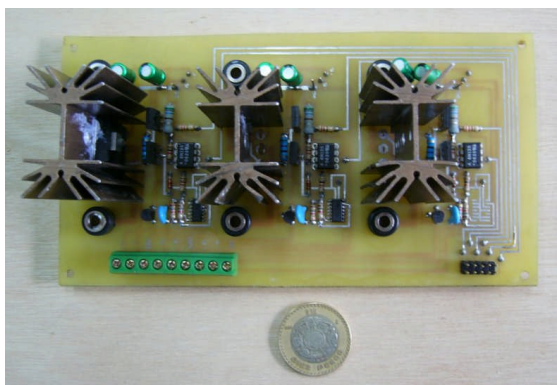


Figura A4.9. Circuito con tres interruptores bi-direccionales.

La figura A4.9 muestra una fotografía de tres interruptores bi-direccionales implementados en circuito impreso en donde cada interruptor está formado por dos *IGBTs* (*HGTG18N120BND*) en un mismo disipador de temperatura y con un solo circuito impulsor. En este caso los interruptores no son modulares, como en el caso del inversor y las unidades redundantes, Sin embargo, las entradas y salidas son intercambiables, la cantidad de interruptores en el circuito implementado es la necesaria para soportar la avería de una rama completa. En este sentido, se puede evaluar la avería de dos *IGBTs* modulares de una misma rama. Desafortunadamente el presupuesto económico para la implementación se restringió la construcción de todos los circuitos interruptores pero gracias a que el sistema implementado tiene entradas y salidas intercambiables, se pueden considerar distintas posibilidades de falla mediante la interconexión de distintos interruptores, aunque no sean de la misma rama.

APÉNDICE 5

DETALLE DE LA IMPLEMENTACIÓN DEL CONTROL V/F DEL INVERSOR CON EL DSP -TMS320F2812-

La manera tradicional para programar un DSP es utilizar lenguaje C y después utilizar un compilador a lenguaje ensamblador, también conocido como lenguaje máquina. Hoy en día existe nuevos lenguajes, llamados de tercera generación, que compilan el programa a lenguaje C y después lo ensamblan a lenguaje maquina y aunque pareciera un trabajo que demanda mayor líneas de programación, por el hecho de tener dos tarea, el resultado es óptimo. Algunos de estos programas son *Simulink* de *Matlab* y *Labview* de *Nacional Instruments*, la diferencia de estos dos programas radica principalmente en que *labview* tiene una interfaz gráfica con mejor presentación para procesos, el problema es que se necesita además de la versión completa, una herramienta adicional que no es muy económica. Por otro lado, *Simulink* de *Matlab* contiene la herramienta de desarrollo en su versión completa a partir de la versión del 2006 en adelante y además contiene una herramienta para supervisar las variables del proceso.

Con respecto a los *DSPs*, los fabricantes han diseñado dispositivos para aplicaciones específicas en donde las funciones implementadas están optimizadas en tiempo de ejecución. Para nuestra aplicación, el *DSP* seleccionado fue el *TMS320F2812* de *Texas Instruments* porque está orientado para aplicaciones de control de motores y el lenguaje de programación seleccionado es *Simulink* de *Matlab* por la disponibilidad de dicho programa.

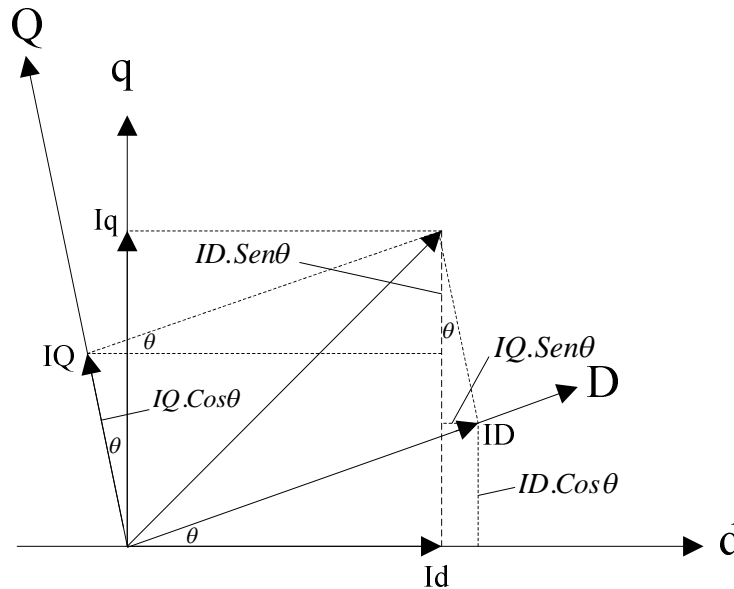
Algunas de las funciones importantes para el control de motores y que dispone el *DSP* seleccionado son:

1. Generador de espacios de estado
2. Transformada *Clark*
3. Transformada inversa de *Clark*
4. Transformada *Park*
5. Transformada inversa de *Park*
6. Control *PID*
7. Limitadores
8. Generador y controlador de rampa
9. Módulos de Control y Visualización (*RTDX*)

Particularmente para el diseño de un control V/F en lazo abierto del un sistema inversor-motor trifásico el problema radica en generar, a partir de un valor ajustable, tres señales desfasadas 120 grados con una relación constante entre la amplitud V_p y la frecuencia ω de cada señal descrita por las ecuaciones siguientes.

$$\begin{aligned}
 V_{o1} &= V_p \cdot \text{Sen}(\omega t + (\theta)) \\
 V_{o2} &= V_p \cdot \text{Sen}[\omega t + (\theta + 120)] \\
 V_{o3} &= V_p \cdot \text{Sen}[\omega t + (\theta - 120)]
 \end{aligned} \tag{1}$$

Estas funciones se pueden simplificar si se utilizar un modulador de espacios, el cual genera una forma de onda adecuada para la técnica de inyección de armónicos que utiliza el patrón PWM de salida a partir de los vectores de entrada en el marco de referencia estacionario Iqd , dada por un convertidor del marco de referencia rotacional a estacionario (transformada de *Park*). La figura 1 muestra los ejes en el marco de referencia estacionario Idq y rotacional IDQ .



A5.1. Ejes en el marco de referencias estacionario dq y rotacional DQ .

De la Figura anterior se puede deducir la siguiente expresión

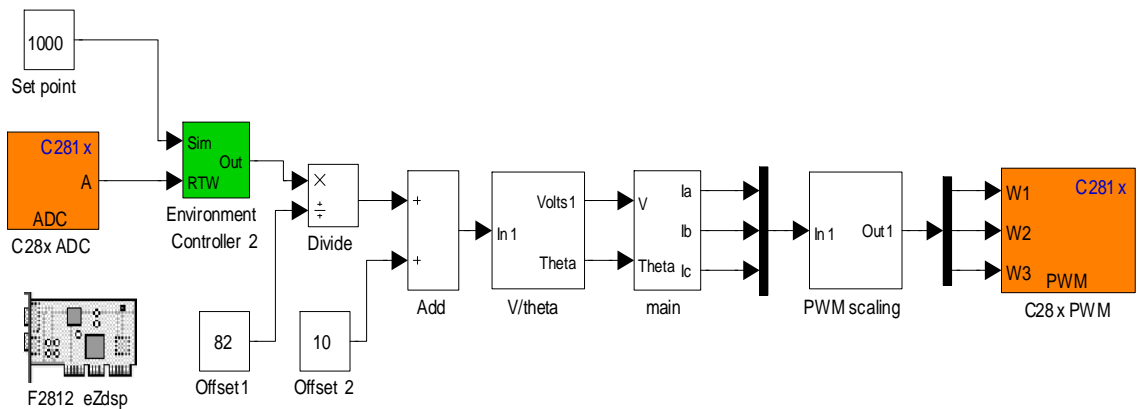
$$\begin{aligned} Id &= ID.Cos\theta - IQ.Sen\theta \\ Iq &= ID.Sen\theta + IQ.Cos\theta \end{aligned} \tag{2}$$

El algoritmo se implemento en *Simulink* con un control V/F en lazo-abierto (figura A5.2) y se basa inicialmente en tomar los datos de ajuste de frecuencia utilizando un convertidor *ADC*, después un bloque selector decide cual valor seleccionar, dependiendo si es una simulación *Sim* o una aplicación en tiempo real *RTW*, enseguida el valor de salida con formato 2^{12} es dividido entre 82, el resultado de la salida se le suma un 10, de esta manera el rango de salida será de 10 a 60 Hz, este datos servirá para mantener constante una relación entre la amplitud del valor de θ . Obviamente, el trabajo del subsistema *V/Theta* (Figura A5.3) es acondicionar el formato del dato para proporcionar un voltaje en valores por unidad y en formato adecuado a la librería de control de motores *C28xDMCLibrar*.

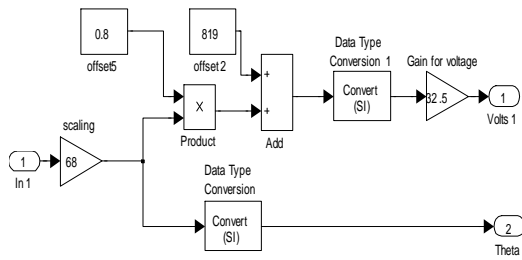
Para genera las señales sinusoidales desfasadas 120 grados se sustituyo $I_Q = 0$ en la transformada inversa de *Park* de la ecuación (2) obteniendo la siguiente expresión

$$\begin{aligned} I_d &= Alfa = ID.Cos\theta \\ I_q &= Beta = ID.Sen\theta \end{aligned} \tag{3}$$

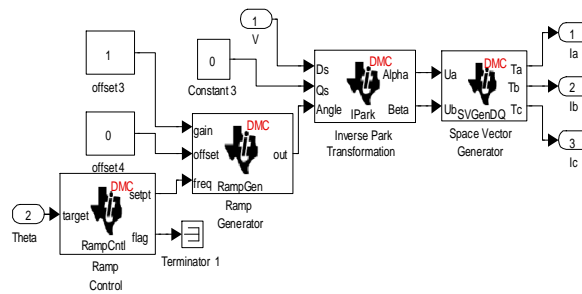
De la expresión anterior se tiene que *Alfa* y *Beta* están desfasadas 90° con una amplitud ID , y con esto es posible utilizar el generador de espacios de estado *SVGenDQ* para generar el patrón PWM a partir de los valores de entrada que son el vector de voltaje de referencia del estator en el marco de referencia de los ejes estacionaros *Alfa* y el vector de voltaje de referencia del estator en el marco de referencia de los ejes en cuadratura *Beta*. Ahora bien, para variar el valor de *Theta* se usa un generador de control de rampa, el cual toma como base de tiempo el muestreo inicial del convertidor *ADC* y la magnitud se determinada por el valor de “*Target*” de control de rampa (figura A5.4). Finalmente, el subsistema *PWM scaling* es un bloque que acondiciona las señales al formato interpretado por el puerto de salida PWM, en este último bloque es interesante resaltar que este bloque permite programar el nivel lógico de salida y el tiempo muerto. Aunque para mayor seguridad es conveniente tener un sistema implementado en hardware con inhibición y tiempo muerto que evite que las salidas se activen cuando el control quede fuera de operación.



A5. 2. Control V/F en lazo-abierto del sistema inversor-motor trifásico con rango de 10 a 60 Hz.



A5.3. Subsistema V/F constante ($V/Theta$).



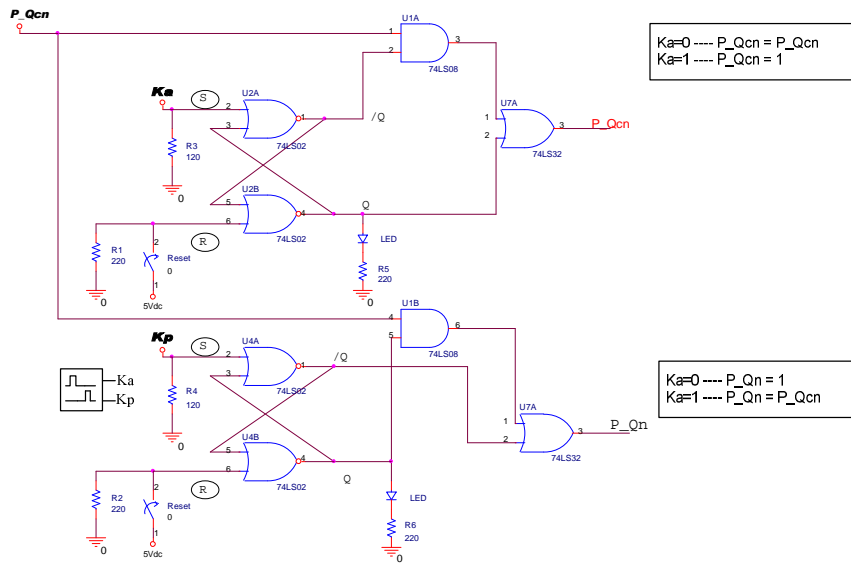
A5.4. Subsistema principal (main).

Es importante tener en cuenta que en una aplicación en tiempo real *RTW* todos los componentes utilizados en *Simulink* deben estar en tiempo discreto y aunque algunas funciones matemáticas se compilan sin errores, el resultado puede ser erróneo después de cierto tiempo. Además para optimizar el tiempo de ejecución se debe hacer uso de la librería específica para cada DSP, en este caso de la librería *Target for TI C2000*.

Un problema que se presenta en *Simulink* y que aún no se ha reportado, es que el módulo de visualización en tiempo real *RTDX* aún no está optimizado y solo puede desplegar o almacenar señales en tiempos muy superiores a la frecuencia de muestreo base, además una mala selección de la frecuencia de desplegado o almacenaje provoca errores en la salida del programa, aunque no este en el mismo lazo de medición.

Reemplazo del elemento dañado

Una vez que se tiene el control en lazo abierto, se puede realizar el reemplazo del elemento dañado en el sistema inversor-motor tolerante a fallas propuesto. Para esto se necesita, adicionar una etapa de decisión, que permita proteger al IGBT complementario correspondiente al IGBT dañado a partir de la señal de detección, posteriormente generar un retardo estimado por el tiempo de aislamiento eléctrico y finalmente activar el reemplazo del elemento dañado accionando el interruptor bi-direccional y enviando los pulsos de compuerta al dispositivo de reemplazo. Para simplificar esta operación, se realizó el reemplazo del elemento Q_{cn} por Q_n considerando a Q_{cn} como el elemento dañado. En la figura A5.5 se muestra el circuito de decisión para generar los pulsos de protección y reemplazo ($P_{Q_{cn}}$ por P_{Q_n}).



A5.5. Circuito lógico para reemplazar Q_{cn} por Q_r

APÉNDICE 6

SINTONIZACIÓN DEL CONTROL VECTORIAL

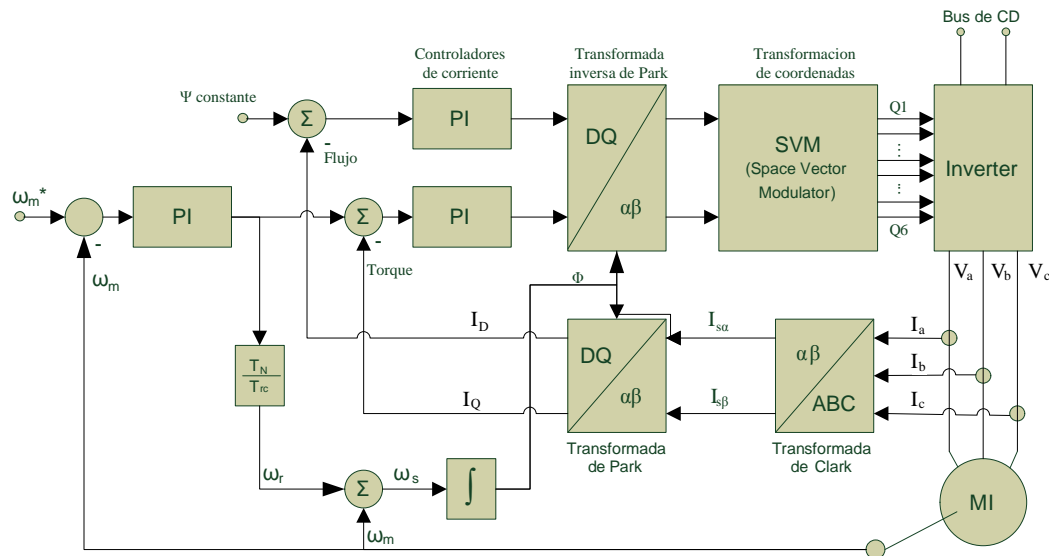
Antecedentes

Las diversas estrategias de control para el sistema inversor-motor, como el control Voltaje/frecuencia tienen buena respuesta en estado estable pero muy pobre respuesta dinámica. La causa de la respuesta dinámica pobre se debe a que los enlaces de flujo del entrehierro se desvían de sus valores determinados. La desviación no solo es en magnitud sino también en fase. La variación en los enlaces de flujo debe ser controlada por magnitud y frecuencia de la corriente de fase del rotor y estator y sus fases instantáneas.

Las oscilaciones entre el enlace de flujo de entrehierro resulta en oscilaciones en el *Torque* electromagnético reflejado como oscilaciones de velocidad, lo cual es indeseable en muchas aplicaciones de alto desempeño, como en actuadores robóticas, centrífugas, servos, impulsores en procesos y maquinas y herramientas, donde se requieren alta precisión, rápido posicionamiento, o control de velocidad. En estos casos, el buen desempeño no podrá ser cumplido por la lentitud del control debido a las oscilaciones del flujo. Además, la variación del flujo del entrehierro resulta en una gran excursión de las corrientes del estator, requiriendo rangos amplios para los sobretiros en el convertidor para hacer frente a las dinámicas. Lo cual incrementa el costo y reduce la competencia en el mercado de impulsores de CA, a pesar de que las ventajas del inversor de CA sobre el impulsor de CD. Por otro lado, los impulsores de CD excitados separadamente son más simples en el control porque controlan independientemente el flujo y cuando se mantiene constante, contribuye a independizar el control del torque. Esto es posible con un control separado de las corrientes del campo y la armadura que controlan de manera independiente el flujo del campo y el torque. Sin embargo, el control de un motor de CD requiere solo el control de la magnitud de corriente del campo o la armadura.

Diseño del controlador de velocidad para un sistema inversor-motor controlado de forma indirecta

El principio, derivación e implementación de controladores no lineales desacoplados tanto para el esquema del control vectorial directo e indirecto hace posible el control independiente del flujo y *Torque* en la maquina de inducción. Además, en la gran mayoría de las aplicaciones se necesita controlar el *Torque* y velocidad. Para el diseño de los controladores se considera un enfoque analítico utilizando funciones de transferencia. El controlador vectorial transforma al sistema *inversor-motor* en un sistema lineal, incluso a gran señal, cuando los enlaces de flujo se mantienen constantes, y por lo tanto se asemeja al control de un motor de CD excitado separadamente en todo aspecto.



A6.1 Diagrama de bloque para el control vectorial del sistema inversor-motor

El funcionamiento del control vectorial en principio toma las corrientes de fase y hace una transformación de ABC a $\alpha\beta$ y de $\alpha\beta$ a DQ utilizando la transformada de Clark y Park, respectivamente. Las corrientes DQ obtenidas establecen los comandos para controlar el Flujo y Torque, respectivamente. La frecuencia mecánica ω_m establece la retroalimentación del lazo de velocidad y a su vez se utiliza para generar la frecuencia de deslizamiento ω_s para obtener posteriormente la posición θ necesaria para hacer la transformación directa e inversa de Park. Una vez realizado los ajustes de Flujo y Torque se hace necesario la conversión de DQ a $\alpha\beta$ y mediante un modulador de espacios vectoriales VSM se hace la conversión de $\alpha\beta$ a ABC y se modula la señal por ancho de pulso de tipo senoidal para los seis interruptores de un inversor trifásico el cual proporciona la energía al motor, cerrando la retroalimentación de velocidad y corriente.

Sintonización del controlador vectorial

Para determinar los comando de *Torque* y *Flujo* y sintonizar el control vectorial es necesario conocer en principio los valores exactos de la resistencia del rotor R_s , Inductancia mutua L_m e inductancia del rotor L_r de la maquina de inducción, entre otros. Lo anterior debe ser implementado con su normalización apropiada. La tarea de sintonización es simple, si los parámetros del motor se mantienen constantes. Sin embargo, el hecho de que la resistencia de estator cambien con la temperatura y frecuencia y la inductancia equivalente cambie con la magnitud de la corriente del estator complica el problema de sintonización. Por lo tanto, estos valores deben ser ajustados a un valor nominal que comúnmente corresponde a algún punto de operación cercano al estado estable.

En la figura A6.2 se muestra un diagrama de bloques del sistema *inversor-motor* controlado vectorialmente de forma indirecta, el cual considerando el Flujo del rotor constante lo que permite una fácil deducción de las funciones de transferencia lo que permite analizar a un motor de inducción trifásico como si fuera una máquina de DC.

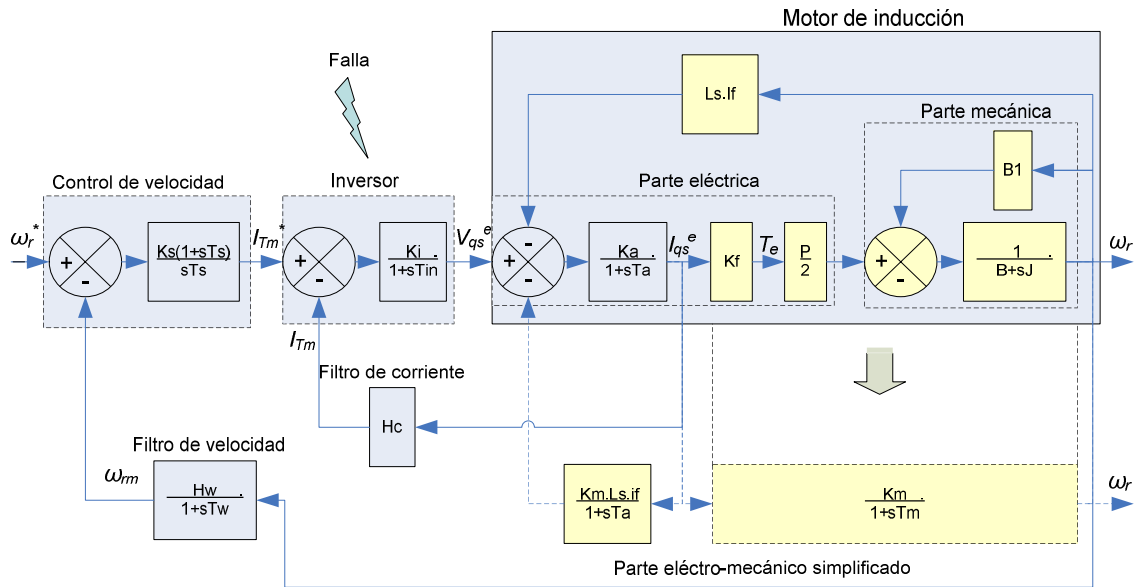
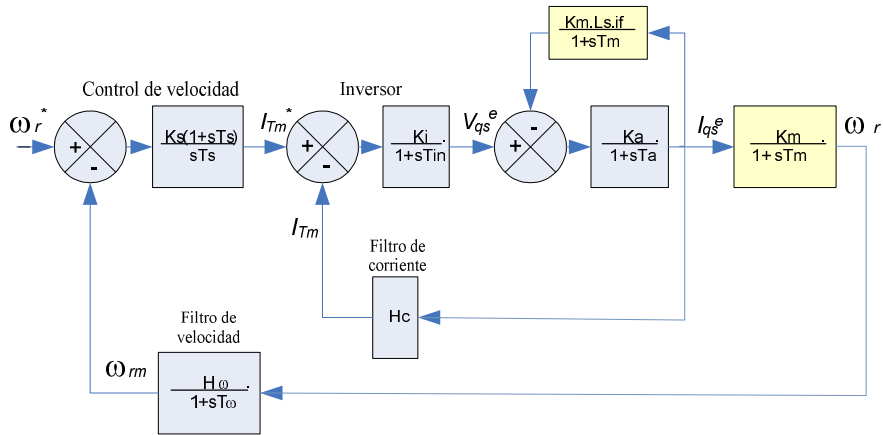


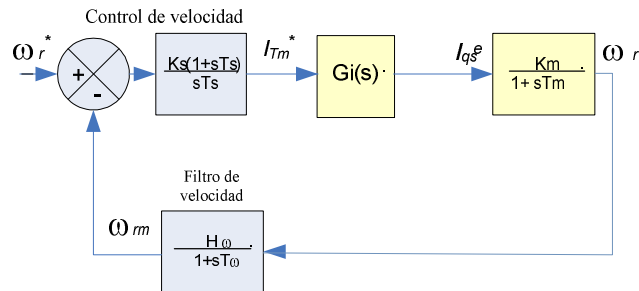
Figura A6.2. Diagrama a bloque del inversor-motor controlado vectorialmente con flujo del rotor constante.

En la figura anterior referenciada a la figura A6.1 se muestran dos lazos de control, el de corriente y el de velocidad. La retroalimentación de las corrientes de fase se transforman en una retroalimentación de corriente en los ejes dq . Esto facilita el diseño de los controladores PI de corriente por separado, considerando sus respectivos constantes de tiempo determinando a su vez la respuesta del Torque y Flujo, sin embargo es posible mantener el flujo constante y controlar solamente Torque y la velocidad. Esta es una de las ventajas principales de tal configuración. Porque es posible inyectar un escalón y determinar por la regla de Ziegler Nichols las ganancias proporcionales y constantes de tiempo de los controladores PIs

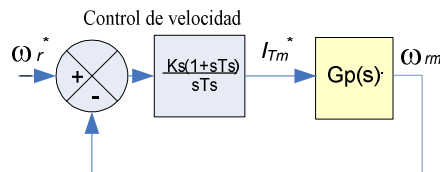
Adicionalmente en la figura A6.2 se puede observar de manera general las partes que intervienen cuando se realiza un control vectorial. Además se aprecian las funciones de transferencia tanto del inversor así como las partes que constituyen el motor de inducción en el marco de referencia dq . El conocimiento de las funciones de transferencia es de suma importancia, pues con ello es posible sintonizar tanto el control de velocidad como el control de corriente q que se muestra en el esquema de la figura A6.1. A continuación se muestra la deducción de las funciones de transferencia $G_i(s)$ y $G_p(s)$ mostradas en las figura A6.3.



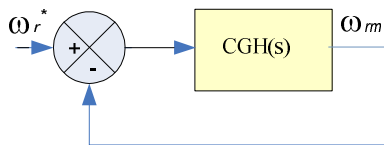
a) Simplificando para encontrar la función de transferencia relacionada al motor.



b) Simplificando para encontrar la función de transferencia relacionada con el lazo de corriente.



c) Simplificando para encontrar la función de transferencia relacionada el lazo de velocidad.



d) Simplificando general del sistema inversor-motor en el enfoque vectorial

Figura A6.3 Reducción del diagrama a bloques de la figura A6.2

Reducción con respecto al motor de inducción.

La suposición clave para diseñar el controlador de velocidad del sistema inversor-motor controlado de forma indirecta es hacer los enlaces de flujo de rotor constante, entonces.

$$\lambda_r = a \text{ Constante} \quad (\text{A6.1})$$

$$p\lambda_r = 0 \quad (\text{A6.2})$$

Entonces las ecuaciones del estator en el marco de referencia dq quedan de la siguiente manera

$$V_{qs}^e = (R_s + L_s p) i_{qs}^e + \omega_s L_s i_{ds}^e + L_m p i_{qr}^e + \omega_s L_m i_{dr}^e \quad (\text{A6.3})$$

$$V_{ds}^e = -\omega_s L_s i_{qs}^e + (R_s + L_s p) i_{ds}^e - \omega_s L_m i_{qr}^e + L_m p i_{dr}^e \quad (\text{A6.4})$$

Del control vectorial, se toman las relaciones de los enlaces de flujo del rotor en los ejes dq para modificar las ecuaciones del voltaje del estator.

$$i_{qr}^e = -\frac{L_m}{L_r} i_{qs}^e \quad (\text{A6.5})$$

$$i_{dr}^e = \frac{\lambda_r}{L_r} - \frac{L_m}{L_r} i_{ds}^e \quad (\text{A6.6})$$

Sustituyendo la corriente del rotor en la ecuación del voltaje del estator se tiene que

$$V_{qs}^e = (R_s + \sigma L_s p) i_{qs}^e + \sigma L_s \omega_s i_{ds}^e + \omega_s \frac{L_m}{L_r} \lambda_r \quad | \quad (\text{A6.7})$$

$$V_{ds}^e = (R_s + \sigma L_s p) i_{ds}^e - \sigma L_s \omega_s i_{qs}^e + \frac{L_m}{L_r} p \lambda_r \quad (\text{A6.8})$$

Donde σ es el coeficiente de enlace. Se sabe que la componente que produce el flujo de la corriente del estator es constante en estado estable, y que es la corriente del estator en el eje d en el marco sincrónico y su derivada también cero, dando la siguiente expresión.

$$i_f = i_{ds}^e \quad (\text{A6.9})$$

$$p i_{ds}^e = 0 \quad (\text{A6.10})$$

La componente que produce el *Torque* de la corriente del estator es la corriente en el eje q en el marco de referencia sincrónico está dada por

$$i_T = i_{qs}^e \quad (\text{A6.11})$$

Sustituyendo esta ecuación en la ecuación de voltaje del eje q se obtiene entonces

$$V_{qs}^e = (R_s + L_a p) i_T + \omega_s L_a i_f + \omega_s \frac{L_m}{L_r} \lambda_r \quad (\text{A6.12})$$

Donde L_a esta dada por

$$L_a = \sigma L_s = \left(L_s - \frac{L_m^2}{L_r} \right) \quad (\text{A6.13})$$

Sustituyendo para $\lambda_r = L_m i_f$ da el voltaje de estator del eje q en el marco de referencia sincrónico

$$V_{qs}^e = (R_s + L_a p) i_T + \omega_s L_a i_f + \omega_s \frac{L_m^2}{L_r} i_f = (R_s + L_a p) i_T + \omega_s L_s i_f \quad (\text{A6.14})$$

Como la segunda ecuación del estator (A6.4) no es necesaria; la solución requerirá de I_T , la cual es la variable bajo control en el sistema. Ahora, la frecuencia del estator se representa como

$$\omega_s = \omega_r + \omega_{s1} = \omega_r + \frac{i_T}{i_f} \left(\frac{R_r}{L_r} \right) \quad (\text{A6.15})$$

Sustituyendo (A6.15) en (A6.14) se tiene entonces

$$V_{qs}^e = (R_s + L_a p) i_T + \omega_r (L_s i_f) + \omega_{s1} (L_s i_f) = (R_s + L_a p) i_T + \omega_r (L_s i_f) + i_T \left(\frac{R_r L_s}{L_r} \right) \quad (\text{A6.16})$$

$$V_{qs}^e = \left(R_s + \frac{R_r L_s}{L_r} + L_a p \right) i_T + \omega_r (L_s i_f) \quad (\text{A6.17})$$

Donde la componente que produce el *Torque* de la corriente del estator está dada por

$$i_T = \frac{V_{qs}^e - \omega_r L_s i_f}{\left(R_s + \frac{R_r L_s}{L_r} + L_a p \right)} \quad (\text{A6.18})$$

En términos de s se tiene que

$$i_T(s) = \frac{K_a}{(1 + sT_a)} \{V_{qs}^e - \omega_r L_s i_f\} \quad (\text{A6.19})$$

Donde

$$R_a = R_s + \frac{L_s}{L_r} R_r \quad (\text{A6.20})$$

$$K_a = \frac{1}{R_a} \quad (\text{A6.21})$$

$$T_a = \frac{L_a}{R_a} \quad (\text{A6.22})$$

Para este bloque, según la figura A6.1 convierte la retroalimentación de voltaje y velocidad dentro de la corriente de *Torque*, y el Torque electromagnético puede ser escrito como sigue.

$$T_e = K_t i_T \quad (\text{A6.23})$$

Donde la constante del *Torque* puede definirse como

$$K_t = \frac{2}{3} \left(\frac{P}{2} \right) \left(\frac{L_m^2}{L_r} \right) i_f \quad (\text{A6.24})$$

Por otro lado, la dinámica puede ser representada por medio del *Torque* electromagnético y un torque de carga que puede ser la fricción

$$J \frac{d\omega_m}{dt} + B\omega_m = T_e - T_l = K_t i_T - B_l \omega_m \quad (\text{A6.25})$$

En términos de la velocidad eléctrica del rotor, se obtiene al multiplicar ambos términos por el par de polos

$$J \frac{d\omega_r}{dt} + B\omega_r = \frac{P}{2} K_t i_T - B_l \omega_m \quad (\text{A6.26})$$

Entonces la función de transferencia entre la velocidad y la corriente que produce el *Torque* está determinado por

$$\frac{\omega_r(s)}{I_T(s)} = \frac{K_m}{1 + sT_m} \quad (\text{A6.27})$$

Donde

$$K_m = \frac{P K_t}{2 B_t}, \quad B_t = B + B_l, \quad T_m = \frac{J}{B_t} \quad (\text{A6.28})$$

La expresión (A6.27) se muestra en el diagrama a bloques de la figura A6.3a

Reducción con respecto al inversor.

De manera sintética el inversor se puede modelar con la siguiente función de transferencia de primer orden.

$$G_{in}(s) = \frac{K_{in}}{1 + sT_{in}} \quad (\text{A6.29})$$

Donde K_{in} y T_{in} son la ganancia y constante de tiempo del inversor respectivamente y se definen por

$$K_{in} = 0.65 \frac{V_{dc}}{V_{cm}} \quad (\text{A6.29})$$

$$T_{in} = \frac{1}{2f_c} \quad (\text{A6.30})$$

Donde V_{dc} , V_{cm} y f_c son el voltaje de bus de CD , voltaje máximo del control y la frecuencia conmutación del control respectivamente.

c) Respecto a los lazo de retroalimentación

En la figura A6.2 se muestran dos lazo de retroalimentación, uno de corriente y otro de velocidad, en donde la función de transferencia del transductor de corriente $G_c(s)$ puede se expresado simplemente por una constante H_c por el hecho de que la constante de tiempo que introduce un filtro de primer orden para su medición es casi despreciable con respecto a la constante de tiempo del control de velocidad

$$G_c(s) = H_c \quad (\text{A6.31})$$

Por otro lado la función de transferencia del transductor de velocidad $G_\omega(s)$ puede ser definida por la siguiente expresión.

$$G_{\omega}(s) = \frac{\omega_m(s)}{\omega_r(s)} = \frac{H_{\omega}}{1 + sT_{\omega}} \quad (\text{A6.32})$$

Donde H_{ω} y T_{ω} representan la ganancia y la constante de tiempo del transductor de velocidad, respectivamente.

$G_i(s)$ se obtiene entonces reduciendo de la figura A6.3a a la figura A6.3b donde se tiene que

$$G_i(s) = \frac{K_a K_{in} (1 + sT_m)}{(1 + sT_{in}) [(1 + sT_a)(1 + sT_m) + K_a K_b] + H_c K_a K_{in} (1 + sT_m)} \quad (\text{A6.33})$$

Donde se hacen las siguientes igualdades y aproximaciones

$$\begin{aligned} 1 + sT_{in} &\cong 1 \\ (1 + sT_a)(1 + sT_{in}) &\cong 1 + s(T_a + T_{in}) \cong 1 + sT_{ar} \\ T_{ar} &= T_a + T_{in} \\ K_b &= K_m L_s i_f \end{aligned}$$

Entonces se tiene que

$$G_i(s) = \frac{T_1 T_2 K_a K_{in}}{T_{ar} T_m} \frac{(1 + sT_m)}{(1 + sT_1)(1 + sT_2)} \quad (\text{A6.34})$$

Donde

$$\begin{aligned} \frac{-1}{T_1}, \frac{-1}{T_2} &= \frac{-b \pm \sqrt{b^2 - 4ac}}{2a} \\ a &= T_{ar} T_m \\ b &= T_{ar} + T_m + H_c K_a K_{in} T_m \\ c &= 1 + K_a K_b + H_c K_a K_{in} \\ 1 + sT_m &\cong sT_m \\ 1 + sT_2 &\cong sT_2 \end{aligned}$$

Luego

$$G_i(s) = \frac{K_a K_{in} T_1}{T_{ar}} \frac{1}{(1 + sT_1)} = \frac{K_i}{(1 + sT_i)} \quad (\text{A6.35})$$

Donde

$$K_i = \frac{K_a K_m T_1}{T_{ar}} \text{ y } T_i = T_1$$

$G_p(s)$ se obtiene entonces reduciendo de la figura A6.3b a la figura A6.3c donde se tiene que

$$G_p(s) = \frac{K_i K_m H_\omega}{1 + s(T_\omega + T_m + T_i) + s^2(T_m T_\omega + T_i T_\omega + T_i T_m) + s^3(T_i T_m T_\omega)} \quad (\text{A6.36})$$

Con la obtención se $Gi(s)$ en A5.35, en Matlab es fácil inyectar una escalón a la entrada de la función de transferencia y analizar la salida de la ecuación y determinar los parámetros del control PI con la regla de Ziegler Nichols. Lo anterior también aplica para $G_p(s)$ porque el polo dominante se encuentra principalmente determinado por la constante de tiempo del motor y por lo tanto la respuesta se puede reducir a sistema de segundo orden.

Otra manera de sintonizar el control de velocidad es mediante una reducción del bloque de la figura A6.3c a A6.3d. lo que resulta en

$$CGH(s) = K_i K_m H_\omega K_s \frac{1 + sT_s}{(1 + sT_m)(1 + sT_i)(1 + sT_\omega)sT_s} \quad (\text{A6.37})$$

Pero aproximando $1 + sT_m \cong sT_m$ se tiene que

$$CGH(s) = \frac{K_s K_g}{T_s} \frac{1 + sT_s}{s^2(1 + sT_{oi})} \quad (\text{A6.38})$$

Donde

$$T_{oi} = T_\omega + T_i \quad (\text{A6.39})$$

$$K_g = K_i K_m \frac{H_\omega}{T_m} \quad (\text{A6.40})$$

La ecuación A6.38 se puede representar también por

$$CGH(s) = \frac{1}{H_\omega} \left\{ \frac{(1 + sT_s)}{1 + sT_s + s^2 \frac{T_s}{K_g K_s} + s^3 \frac{T_s T_{oi}}{K_g K_s}} \right\} \quad (\text{A6.41})$$

Entonces T_s y K_s se pueden obtener igualando el coeficiente del denominador polinomial de (A6.41) con el coeficiente de la función simétrica óptima para una relación de amortiguamiento de 0.707 utilizada en el análisis del control de velocidad de un motor de CD en la referencia [11] del capítulo 5, entonces se tiene que

$$CGH(s) = \frac{\omega_r(s)}{\omega_r^*(s)} = \frac{1}{H_\omega} \left[\frac{(1 + sT_s)}{1 + sT_s + s^2 \left(\frac{3}{8} T_s^2 \right) + s^3 \left(\frac{1}{16} T_s^3 \right)} \right] \quad (A6.42)$$

$$CGH_{cd}(s) = \frac{\omega_{rcd}(s)}{\omega_{rcd}^*(s)} = \frac{1}{H_\omega} \left[\frac{1 + 4T_4 s}{1 + s(4T_4) + s^2(8T_4^2) + s^3(8T_4^3)} \right] \quad (A6.43)$$

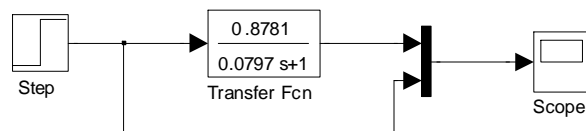
Donde

$$\begin{aligned} T_4 &= T_i + T_\omega \\ K_2 &= \frac{K_i K_b H_\omega}{\beta_t T_m} \\ K_b &= K_t \end{aligned}$$

Entonces

$$\begin{aligned} T_s &= 4T_4 = 6T_{\omega i} \\ K_s &= \frac{1}{2K_2 T_4} = \frac{4}{9} \left(\frac{1}{K_g T_{\omega i}} \right) \end{aligned}$$

En las figuras A6.4 se muestra las funciones de transferencia implementadas en Simulink de Matlab para analizar la respuesta al escalón y determinar la ganancia K_g y el tiempo de integración T_i aplicando la regla de Ziegler Nichols.



a) lazo de corriente $G_i(s)$

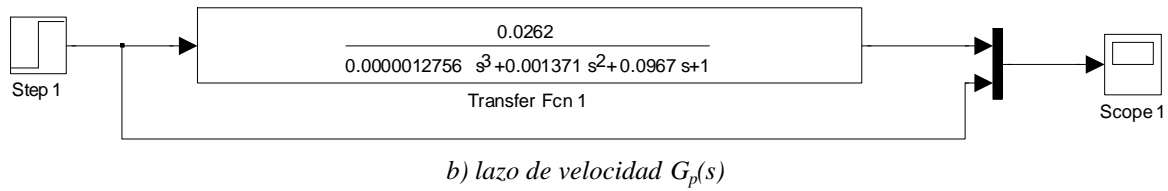


Figura A6.4 Respuesta al escalón de las funciones de transferencia de $G_i(s)$ y $G_p(s)$ para obtener sintonizar los controladores a) Lazo de corriente q , b) Lazo de velocidad ω_r

Como se mencionó anteriormente, otro forma para determinar los parámetros del control de velocidad es mediante la reducción de la expresión A6.3c a A6.3d. y después igualar el coeficiente de denominador de (A6.41) con el coeficiente de la función simétrica óptima. En resumen se puede establecer un procedimiento en donde con una serie de datos de entrada se obtengan automáticamente la ganancia y constante de integración del control de velocidad utilizando un programa con el que se muestra a continuación, el cual se implementó en MATCAD. El problema principal es que los datos de entrada deben de ser exacto de lo contrario los parámetros obtenidos solo serán una aproximación a los valores reales tal como sucedió en este caso donde los valores obtenidos fueron para $K_p = 3.3$ y $T_i = 0.484s$ y los valores finales fueron $K_p = 1.8$ y $T_i = 0.4s$ los cuales fueron obtenido con la respuesta al escalón utilizando Ziegler Nichols.

Programa en Matcad para encontrar los Parámetros K_p y T_i

Datos de entrada:

$I_f := 1.5A$	Corriente de fase
$f_c := 5000Hz$	Frecuencia de conmutación del inversor
$B_t := 0.250 \frac{N \cdot m}{\frac{rad}{s}}$	Coefficiente de fricción total
$H_\omega := 0.0005 \frac{V}{\frac{rad}{s}}$	Ganancia del filtro del lazo de velocidad
$T_\omega := 0.001s$	Constante de tiempo del filtro de velocidad
$V_{cm} := 10V$	Voltaje máximo del control
$J := 0.004kg \cdot m^2$	Momento de inercia total
$V_{cd} := 285V$	Voltaje del bus de CD
$H_c := 0.1 \frac{V}{A}$	Ganancia del filtro del lazo de corriente
$R_s := 9.19ohm$	Resistencia del estator
$R_r := 6.14ohm$	Resistencia del rotor
$L_m := 0.182H$	Inductancia magnetizante
$L_r := 0.02H$	Inductancia del rotor
$L_s := 0.024H$	Inductancia del estator
$P := 4$	Número de polos

*-----

Ecuaciones

$$R_a := R_s + R_r \cdot \frac{L_s}{L_r} \quad R_a = 16.558 \Omega$$

$$K_a := \frac{1}{R_a} \quad K_a = 0.0604 \text{ S}$$

$$L_a := L_s + \frac{L_m^2}{L_r} \quad L_a = 1.6802 \text{ H}$$

$$T_a := \frac{L_a}{R_a} \quad T_a = 0.1015 \text{ s}$$

$$T_m := \frac{J}{B_t} \quad T_m = 0.016 \text{ s}$$

$$K_t := \frac{3}{2} \cdot \frac{P}{2} \cdot \frac{L_m^2}{L_r} \cdot I_f \quad K_t = 7.4529 \text{ Wb}$$

$$K_m := \frac{P}{2} \cdot \frac{K_t}{B_t} \quad K_m = 59.6232 \frac{1}{\text{sA}}$$

$$K_b := \frac{P}{2} \cdot \frac{K_t}{B_t} \cdot L_s \cdot I_f \quad K_b = 2.1464 \Omega$$

$$T_{in} := \frac{1}{2f_c} \quad T_{in} = 1 \times 10^{-4} \text{ s}$$

$$K_{in} := 0.65 \cdot \frac{V_{cd}}{V_{cm}} \quad K_{in} = 18.525$$

$$T_{ar} := T_a + T_{in} \quad T_{ar} = 0.1016 \text{ s}$$

$$a := T_{ar} \cdot T_m$$

$$b := T_{ar} + T_m + H_c \cdot K_a \cdot K_{in} \cdot T_m$$

$$c := 1 + K_a \cdot K_b + H_c \cdot K_a \cdot K_{in}$$

$$T1 := \frac{-2 \cdot a}{-b + \sqrt{b^2 - 4 \cdot a \cdot c}} \quad T1 = 0.0797 \text{ s}$$

$$Ki := \frac{Kin \cdot T1}{Ra \cdot Tar} \quad Ki = 0.8781 \frac{1}{\text{ohm}}$$

$$Ti := T1 \quad Ti = 0.0797 \text{ s}$$

$$Kg := \frac{Ki \cdot Km \cdot H\omega}{Tm} \quad Kg = 1.6362 \text{ Hz}$$

$$T\omega i := T\omega + Ti \quad T\omega i = 0.0807 \text{ s}$$

$$Ts := 6T\omega i \quad Ts = 0.4843 \text{ s}$$

$$Ks := \frac{4}{9 \cdot Kg \cdot T\omega i} \quad Ks = 3.365$$

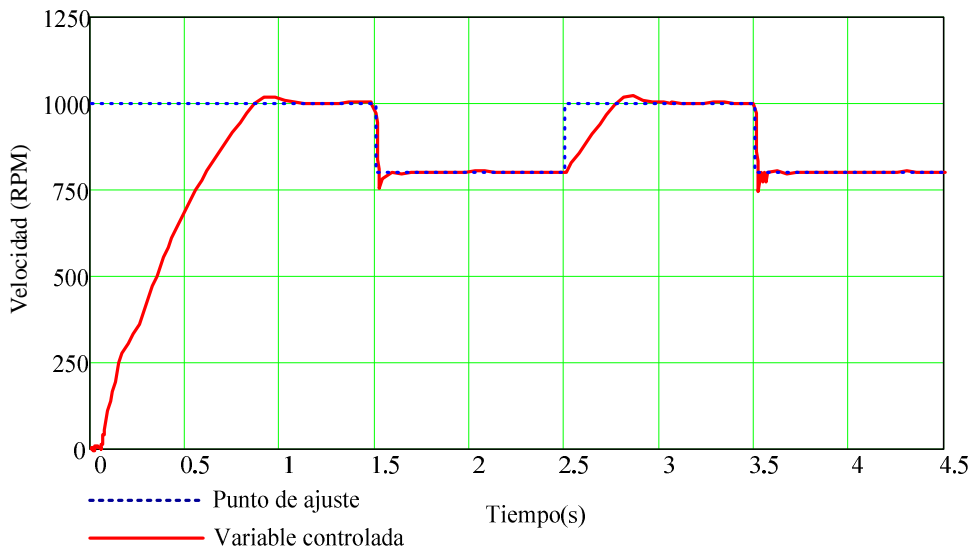
Resultados

Ganancia Proporcional $Kps := Ks \quad Kps = 3.365$

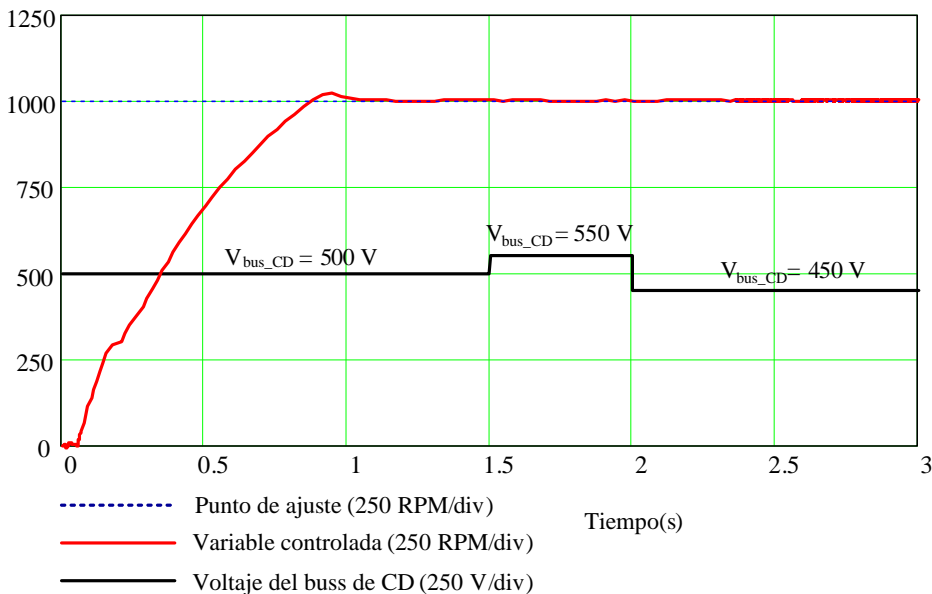
Tiempo de integración $Tis := Ts \quad Tis = 0.4843 \text{ s}$

Ganancia Integral $Kis := \frac{Ks}{Ts} \quad Kis = 6.9475 \frac{1}{\text{s}}$

En la figura A6.5 se muestra el seguimiento de la variable controlada al punto de ajuste de velocidad, y en la figura A6.6 se inyecta un disturbio referido al bus de CD en un $\pm 10\%$ ($\pm 50V$) observándose un buen control de la variable medida (velocidad).



A6.5. Seguimiento de velocidad variando el punto de ajuste



A6.6. Seguimiento de velocidad variando el bus de CD